

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-284700

(43)Date of publication of application : 23.10.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-091239

(71)Applicant : HITACHI LTD

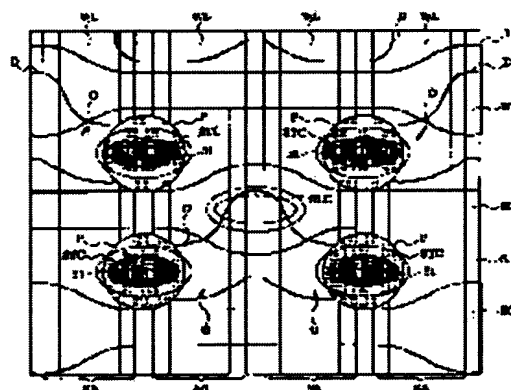
(22)Date of filing : 10.04.1997

(72)Inventor : WATABE KOZO
OGISHIMA JUNJI
SHIGENIWA MASAHIRO
HASHIMOTO SHUNICHI
HASEGAWA NORIO(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To ensure a sufficient contact area at the bottom of a contact hole, even if the contact hole is shifted a little in the direction crossing a wiring by a method, wherein the connection hole is drilled in a self-alignment manner and its shape is so formed as to be long in a direction crossing the wirings adjacent to each other.

SOLUTION: The shape of a connection hole STC for a capacitor is such that a dimension in the extension direction of a bit line BL is larger than a dimension in the widthwise direction of the bit line BL. Therefore, the area of the upper surface of a plug P, which is exposed from the opening of the connection hole STC 51 for the capacitor, i.e., the contact area between the storage electrode of the capacitor C and the plug P, is larger than the contact area in the case of a connection hole 51. Further, even if the position of the connection hole STC for the capacitor is shifted from the position of the pattern of the plug P, the contact area between the storage electrode of the capacitor C and the plug P can be fully ensured. Therefore, the electrical connection between the capacitor C and a selective MOS-FET Q can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-284700

(43)公開日 平成10年(1998)10月23日

(51)Int.Cl.⁸

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 C

審査請求 未請求 請求項の数29 O L (全 65 頁)

(21)出願番号

特願平9-91239

(22)出願日

平成9年(1997)4月10日

(71)出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者

渡部 浩三

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者

荻島 淳史

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者

茂庭 昌弘

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人

弁理士 筒井 大和

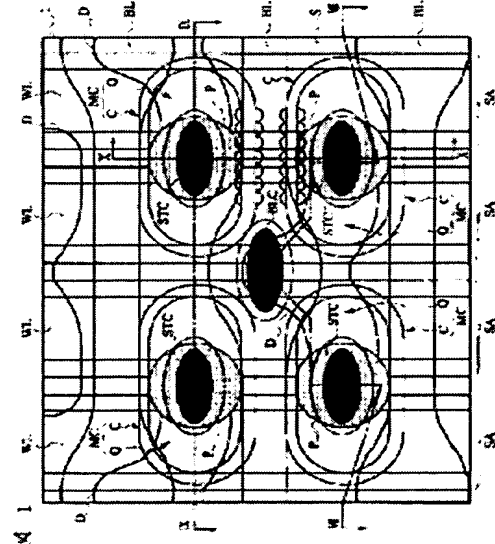
最終頁に続く

(54)【発明の名称】 半導体集積回路装置の製造方法および半導体集積回路装置

(57)【要約】

【課題】 キャパシタの審核電極と選択MOS・FETとの電気的な接続状態を良好にする。

【解決手段】 キャパシタ用の接続孔STCの平面形状を、ビット線BLの延在方向に長くなるような形状とし、その接続孔STCの面積を増大させ、その接続孔STCから露出されるプラグPの露出面積を増大させる構造とした。



【特許請求の範囲】

【請求項 1】 (a) 半導体基板上に複数の配線を形成する工程と、(b) 前記複数の配線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔する場合に、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する工程とを備え、(e) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1記載の半導体集積回路装置の製造方法において、前記接続孔の平面寸法における長/短の寸法比が 1 よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 (a) 半導体基板上に配線形成用の導体膜および第 1 の窒化膜を下層から順に堆積した後、その導体膜および第 1 の窒化膜をパターニングすることにより、上部に第 1 の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、(b) 前記配線形成工程後の半導体基板上に第 2 の窒化膜を堆積することにより、前記複数の配線の側面、キャップ膜の表面および半導体基板上の平坦面を第 2 の窒化膜によって被覆する工程と、(c) 前記第 2 の窒化膜の被覆工程後の半導体基板上に、前記第 1 の窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔すべく、前記絶縁膜と前記第 1 の窒化膜および第 2 の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する場合に、前記絶縁膜のエッチング速度の方が、前記第 1 の窒化膜および第 2 の窒化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第 2 の窒化膜を露出させた後、前記第 1 の窒化膜および第 2 の窒化膜のエッチング速度の方が、前記絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記接続孔を自己整合的に穿孔する工程とを備え、(e) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 (a) 半導体基板に分離溝を形成した後、その分離溝内に分離膜を埋め込むことにより、前記

半導体基板に溝形選込分離領域を形成する工程と、

(b) 前記半導体基板上に配線形成用の導体膜および第 1 の窒化膜を下層から順に堆積した後、その導体膜および第 1 の窒化膜をパターニングすることにより、上部に第 1 の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、

(c) 前記配線形成工程後の半導体基板上に第 2 の窒化膜を堆積することにより、前記複数の配線の側面、キャップ膜の表面および半導体基板上の平坦面を第 2 の窒化膜によって被覆する工程と、

(d) 前記第 2 の窒化膜の被覆工程後の半導体基板上に、前記第 1 の窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、

(e) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔すべく、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する場合に、

前記絶縁膜のエッチング速度の方が、前記第 1 の窒化膜および第 2 の窒化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第 2 の窒化膜を露出させた後、前記第 1 の窒化膜および第 2 の窒化膜のエッチング速度の方が、前記絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記接続孔を自己整合的に穿孔する工程とを備え、(f) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 半導体基板上に形成したメモリセル選択 M I S ・ F E T のゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えた D R A M を有する半導体集積回路装置の製造方法であって、(a) 半導体基板上に前記複数のワード線を形成する工程と、

(b) 前記複数のワード線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、互いに隣接するワード線間に、前記メモリセル選択 M I S ・ F E T の半導体領域の一部が露出するような接続孔を穿孔する場合に、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 5記載の半導体集積回路装置の製造方法において、前記接続孔が、メモリセルのキャパシタとメモリセル選択MIS・FETの半導体領域とを電気的に接続するキャパシタ用の接続孔であることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 5記載の半導体集積回路装置の製造方法において、前記接続孔が、前記複数のビット線の各々とメモリセル選択MIS・FETの半導体領域とを電気的に接続するビット線用の接続孔であることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 5記載の半導体集積回路装置の製造方法において、前記接続孔は、

(a) メモリセルのキャパシタとメモリセル選択MIS・FETの半導体領域とを電気的に接続するキャパシタ用の接続孔であり、

(b) 前記複数のビット線の各々とメモリセル選択MIS・FETの半導体領域とを電気的に接続するビット線用の接続孔であることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 (a) 半導体基板上に複数の第1の配線を形成する工程と、(b) 前記複数の第1の配線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に前記窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延びる複数の第2の配線を形成する工程と、(e) 前記第1の絶縁膜上にそれと同一材料からなる第2の絶縁膜を堆積することにより、前記複数の第2の配線を被覆する工程と、(f) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接する第1の配線間であり、かつ、互いに隣接する第2の配線間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔する場合に、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する工程とを備え、(g) 前記接続孔の平面形状を、前記互いに隣接する第1の配線に対して交差する方向の長さが、前記互いに隣接する第1の配線の延在方向の長さよりも長くなるような形状に形成することを特徴とする半導体集積回路装置の製造方法。

【請求項 10】 請求項 9記載の半導体集積回路装置の製造方法において、前記接続孔の平面寸法における長／短の寸法比が1よりも大きいことを特徴とする半導体集積回路装置の製造方法。

【請求項 11】 (a) 半導体基板上に複数の第1の配線を形成する工程と、(b) 前記複数の第1の配線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に前記窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜において、互いに隣接する第1の配線間の領

域に、前記半導体基板の一部が露出するようなプラグ用の接続孔を穿孔する場合に、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記プラグ用の接続孔を自己整合的に穿孔する工程と、(e) 前記プラグ用の接続孔内にプラグ用の導体膜を埋め込む工程と、(f) 前記第1の絶縁膜上に、前記第1の絶縁膜と同一材料からなる第2の絶縁膜を堆積することにより、前記プラグ用の導体膜を被覆する工程と、(g) 前記第2の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延びる複数の第2の配線を形成する工程と、(h) 前記第2の絶縁膜上にそれと同一材料からなる第3の絶縁膜を堆積することにより、前記複数の第2の配線を被覆する工程と、(i) 前記第2の絶縁膜および第3の絶縁膜において、互いに隣接する第2の配線間の領域に、前記プラグ用の導体膜の一部が露出するような接続孔を、前記第2の絶縁膜および第3の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理により穿孔するとともに、その接続孔の平面形状を、前記互いに隣接する第1の配線に対して交差する方向の長さが、前記互いに隣接する第1の配線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 12】 (a) 半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、(b) 前記配線形成工程後の半導体基板上に第2の窒化膜を堆積することにより、前記複数の配線の側面、キャップ膜の表面および半導体基板上の平坦面を第2の窒化膜によって被覆する工程と、(c) 前記第2の窒化膜の被覆工程後の半導体基板上に、前記第1の窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延びる複数の第2の配線を形成する工程と、

(e) 前記第1の絶縁膜上にそれと同一材料からなる第2の絶縁膜を堆積することにより、前記複数の第2の配線を被覆する工程と、(f) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接する第1の配線間であり、かつ、互いに隣接する第2の配線間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔すべく、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する場合に、

前記第1の絶縁膜および第2の絶縁膜のエッチング速度の方が、前記第1の窒化膜および第2の窒化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第2の窒化膜を露出

させた後、

前記第1の窒化膜および第2の窒化膜のエッチング速度の方が、前記第1の絶縁膜および第2の絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記互いに隣接する第1の配線に対して交差する方向の長さが、前記互いに隣接する第1の配線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項13】 (a) 半導体基板上に分離溝を形成した後、その分離溝内に分離膜を埋め込むことにより、前記半導体基板上に溝形埋込分離領域を形成する工程と、

(b) 前記半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、(c) 前記配線形成工程後の半導体基板上に第2の窒化膜を堆積することにより、前記複数の配線の側面、キャップ膜の表面および半導体基板上の平坦面を第2の窒化膜によって被覆する工程と、

(d) 前記第2の窒化膜の被覆工程後の半導体基板上に、前記第1の窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(e) 前記第1の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延びる複数の第2の配線を形成する工程と、(f) 前記第1の絶縁膜上にそれと同一材料からなる第2の絶縁膜を堆積することにより、前記複数の第2の配線を被覆する工程と、(g) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接する第1の配線間であり、かつ、互いに隣接する第2の配線間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔すべく、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する場合に、前記第1の絶縁膜および第2の絶縁膜のエッチング速度の方が、前記第1の窒化膜および第2の窒化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第2の窒化膜を露出させた後、

前記第1の窒化膜および第2の窒化膜のエッチング速度の方が、前記第1の絶縁膜および第2の絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記互いに隣接する第1の配線に対して交差する方向の長さが、前記互いに隣接する第1の配線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項14】 半導体基板上に形成したメモリセル選

択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板上に前記複数のワード線を形成する工程と、(b) 前記複数のワード線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜上に前記複数のビット線を形成する工程と、(e) 前記第1の絶縁膜上に、それと同一材料からなる第2の絶縁膜を堆積することにより、前記複数のビット線を被覆する工程と、(f) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間に、前記メモリセル選択MIS・FETの半導体領域が露出するようなキャパシタ用の接続孔を穿孔する場合に、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記キャパシタ用の接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項15】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板上に前記複数のワード線を形成する工程と、(b) 前記複数のワード線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜において、互いに隣接するワード線間に、前記メモリセル選択MIS・FETの半導体領域の一部が露出するようなビット線用の接続孔を穿孔する場合に、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記ビット線用の接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程と、(e) 前記ビット線用の接続孔形成後の前記第1の絶縁膜上に前記複数のビット線を形成する工程と、(f) 前記第1の絶縁膜上に、それと同一材料からなる第2の絶縁膜を堆積することにより、前記複数のビット線を被覆する工程と、(g) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間に、前記メモリセル選択MIS・FETの半導体領域

が露出するようなキャパシタ用の接続孔を穿孔する場合に、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記キャパシタ用の接続孔を自己整合的に穿孔するとともに、その平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 16】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に前記複数のワード線を形成する工程と、(b) 前記複数のワード線の表面を第1の窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記第1の窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜上に前記複数のビット線を形成する工程と、(e) 前記第1の絶縁膜上に、それと同一材料からなる第2の絶縁膜を堆積することにより、前記複数のビット線を被覆する工程と、(f) 前記第2の絶縁膜の上面を平坦に形成する工程と、(g) 前記平坦に形成された第2の絶縁膜上に第2の窒化膜を堆積する工程と、

(h) 前記第2の窒化膜上に前記第1の絶縁膜と同一材料からなる第3の絶縁膜を堆積する工程と、(i) 前記第1の絶縁膜、第2の絶縁膜、第3の絶縁膜および第2の窒化膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間に、前記メモリセル選択MIS・FETの半導体領域が露出するようなキャパシタ用の接続孔を穿孔する場合に、前記第1の絶縁膜と前記第1の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記キャパシタ用の接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程と、(j) 前記キャパシタ用の接続孔を形成した後の前記第3の絶縁膜上にキャパシタの審核電極を形成する工程と、(k) 前記キャパシタの審核電極形成後、前記第2の窒化膜をエッチングストッパとして、前記第3の絶縁膜をエッチング除去する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 17】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、

(a) 半導体基板上に前記複数のワード線を形成する工

程と、(b) 前記複数のワード線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜において、互いに隣接するワード線間の領域に、前記半導体基板の一部が露出するようなプラグ用の接続孔を穿孔する場合に、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記プラグ用の接続孔を自己整合的に穿孔する工程と、(e) 前記プラグ用の接続孔内にプラグ用の導体膜を埋め込む工程と、(f) 前記第1の絶縁膜上に、前記第1の絶縁膜と同一材料からなる第2の絶縁膜を堆積することにより、前記プラグ用の導体膜を被覆する工程と、(g) 前記第2の絶縁膜上に前記複数のビット線を形成する工程と、(h) 前記第2の絶縁膜上にそれと同一材料からなる第3の絶縁膜を堆積することにより、前記複数のビット線を被覆する工程と、(i) 前記第2の絶縁膜および第3の絶縁膜において、互いに隣接するビット線間の領域に、前記プラグ用の導体膜の一部が露出するようなキャパシタ用の接続孔を、前記第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより穿孔するとともに、その接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 18】 (a) 半導体基板上に設けられた複数の配線と、(b) 前記複数の配線の表面を被覆する窒化膜と、(c) 前記窒化膜とは異なる材料からなり、前記窒化膜および複数の配線を被覆するように前記半導体基板上に堆積された絶縁膜と、(d) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記半導体基板の一部が露出するように穿孔された接続孔であって、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理により自己整合的に穿孔された接続孔とを備え、(e) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【請求項 19】 請求項 18記載の半導体集積回路装置において、前記接続孔の平面寸法における長/短の寸法比が1よりも大きいことを特徴とする半導体集積回路装置。

【請求項 20】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置であって、(a) 前記複数のワード線の表面を被覆する窒化膜と、(b) 前記窒化

膜とは異なる材料からなり、前記窒化膜および複数のワード線を被覆するように前記半導体基板上に堆積された絶縁膜と、(c)前記絶縁膜において、互いに隣接するワード線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔された接続孔とを備え、(d)前記接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【請求項 21】 請求項 20記載の半導体集積回路装置において、前記接続孔が、メモリセルのキャパシタとメモリセル選択MIS・FETの半導体領域とを電気的に接続するキャパシタ用の接続孔であることを特徴とする半導体集積回路装置。

【請求項 22】 請求項 20記載の半導体集積回路装置において、前記複数のビット線の各々とメモリセル選択MIS・FETの半導体領域とを電気的に接続するビット線用の接続孔であることを特徴とする半導体集積回路装置。

【請求項 23】 請求項 20記載の半導体集積回路装置において、前記接続孔は、(a)メモリセルのキャパシタとメモリセル選択MIS・FETの半導体領域とを電気的に接続するキャパシタ用の接続孔であり、(b)前記複数のビット線の各々とメモリセル選択MIS・FETの半導体領域とを電気的に接続するビット線用の接続孔であることを特徴とする半導体集積回路装置。

【請求項 24】 (a)半導体基板上に設けられた複数の第1の配線と、(b)前記複数の第1の配線の表面を被覆する窒化膜と、(c)前記窒化膜とは異なる材料からなり、前記窒化膜および複数の第1の配線を被覆するように前記半導体基板上に堆積された第1の絶縁膜と、(d)前記第1の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延在するように形成された複数の第2の配線と、(e)前記第1の絶縁膜と同一材料からなり、前記第2の配線を被覆するように前記第1の絶縁膜上に堆積された第2の絶縁膜と、(f)前記第1の絶縁膜および第2の絶縁膜において、互いに隣接する第1の配線間であり、かつ、互いに隣接する第2の配線間の領域に、前記半導体基板の一部が露出するように穿孔された接続孔であって、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔された接続孔とを備え、(g)前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【請求項 25】 請求項 24記載の半導体集積回路装置において、前記接続孔の平面寸法における長/短の寸法

比が1よりも大きいことを特徴とする半導体集積回路装置。

【請求項 26】 (a)半導体基板上に設けられた複数の第1の配線と、(b)前記複数の第1の配線の表面を被覆する窒化膜と、(c)前記窒化膜とは異なる材料からなり、前記窒化膜および複数の第1の配線を被覆するように前記半導体基板上に堆積された第1の絶縁膜と、(d)前記第1の絶縁膜において、互いに隣接する第1の配線間の領域に、前記半導体基板の一部が露出するように穿孔された接続孔であって、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたプラグ用の接続孔と、(e)前記プラグ用の接続孔内に埋め込まれたプラグと、(f)前記第1の絶縁膜と同一材料からなり、前記プラグの上面を被覆するように前記第1の絶縁膜上に堆積された第2の絶縁膜と、(g)前記第2の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延在するように形成された複数の第2の配線と、(h)前記第1の絶縁膜と同一材料からなり、前記第2の配線を被覆するように前記第2の絶縁膜上に堆積された第3の絶縁膜と、(i)前記第1の絶縁膜、第2の絶縁膜および第3の絶縁膜においてプラグの形成領域上に、前記プラグの一部が露出するように穿孔された接続孔であって、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により穿孔された接続孔とを備え、(j)前記接続孔の平面形状を、前記互いに隣接する第1の配線に対して交差する方向の長さが、前記互いに隣接する第1の配線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【請求項 27】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置であって、(a)前記複数のワード線の表面を被覆する窒化膜と、(b)前記窒化膜とは異なる材料からなり、前記窒化膜および複数のワード線を被覆するように前記半導体基板上に堆積された第1の絶縁膜と、(c)前記第1の絶縁膜上に形成された前記複数のビット線と、(d)前記第1の絶縁膜上に前記複数のビット線を被覆するように堆積された第2の絶縁膜と、(e)前記第1の絶縁膜および第2の絶縁膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたキャパシタ用の接続孔とを備え、(f)前記キャパシタ用の接続孔の平面形状を、前記ワード線に対して交差する方

向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【請求項 28】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置であって、(a)前記複数のワード線の表面を被覆する窒化膜と、(b)前記窒化膜とは異なる材料からなり、前記窒化膜および複数のワード線を被覆するように前記半導体基板上に堆積された第1の絶縁膜と、(c)前記第1の絶縁膜において、互いに隣接するワード線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたビット線用の接続孔と、

(d)前記第1の絶縁膜上に形成され、前記ビット線用の接続孔を通じて前記メモリセル選択MIS・FETの半導体領域に電気的に接続された前記複数のビット線と、(e)前記第1の絶縁膜上に前記複数のビット線を被覆するように堆積された第2の絶縁膜と、(f)前記第1の絶縁膜および第2の絶縁膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記第1の絶縁膜および第2の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたキャパシタ用の接続孔とを備え、(g)前記ビット線用の接続孔およびキャパシタ用の接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【請求項 29】 半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置であって、(a)前記複数のワード線の表面を被覆する窒化膜と、(b)前記窒化膜とは異なる材料からなり、前記窒化膜および複数のワード線を被覆するように前記半導体基板上に堆積された第1の絶縁膜と、(c)前記第1の絶縁膜において、互いに隣接するワード線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記第1の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたプラグ用の接続孔と、(d)前記プラグ用の接続孔内に埋め込まれたプラグと、(e)前記第1の絶縁膜と同一材料からなり、前記

プラグの上面を被覆するように前記第1の絶縁膜上に堆積された第2の絶縁膜と、(f)前記第2の絶縁膜上に形成された前記複数のビット線と、(g)前記第2の絶縁膜上に前記複数のビット線を被覆するように堆積された第3の絶縁膜と、(h)前記第1の絶縁膜、第2の絶縁膜および第3の絶縁膜において、前記プラグの形成領域に、そのプラグの一部が露出するように穿孔された接続孔であって、前記第1の絶縁膜、第2の絶縁膜および第3の絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたキャパシタ用の接続孔とを備え、(i)前記キャパシタ用の接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状としたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法および半導体集積回路装置技術に関し、特に、DRAM(Dynamic Random Access Memory)を有する半導体集積回路装置の製造方法および半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】大容量メモリを代表する半導体メモリとしてDRAMがある。このDRAMのメモリ容量は益々増大する傾向にあり、それに伴ってDRAMのメモリセルの集積度を向上させる観点からメモリセルの占有面積も縮小せざるを得ない方向に進んでいる。

【0003】しかし、DRAMのメモリセルにおける情報蓄積用容量素子(キャパシタ)の蓄積容量値は、DRAMの動作マージンやソフトウェア等を考慮する観点等から世代によらず一定量が必要であり、一般に比例縮小できないことが知られている。

【0004】そこで、限られた小さな占有面積内に必要な蓄積容量を確保できるようなキャパシタ構造の開発が進められており、その構造として、ポリシリコン等からなる2層の電極を容量絶縁膜を介して積み重ねてなる、いわゆるスタックドキャパシタ等のような立体的なキャパシタ構造が採用されている。

【0005】スタックドキャパシタは、キャパシタ電極をメモリセルの選択MOS・FET(Metal Oxide Semiconductor Field Effect Transistor)の上層に配置する構造が一般的であり、この場合、小さな占有面積で大きな蓄積容量を確保できるとともに、必要とする蓄積容量が小さくて済むという特徴がある。

【0006】このようなスタックドキャパシタ構造として、例えばキャパシタをビット線の上に配置する、いわゆるキャパシタ・オーバー・ビットライン(Capacitor Over Bitline; 以下、COBと略す)構造がある。

【0007】この構造においては、蓄積電極(ストレー

ジノード)の下地段差がビット線によって平坦化することができるので、キャパシタを形成する場合におけるプロセス上の負担を小さくすることができる等、種々の優れた特徴がある。

【0008】ところで、このCDB構造においては、キャパシタがビット線の上層に配置されている関係上、キャパシタと選択MOS・FETの半導体領域とを電氣的に接続するキャパシタ用接続孔を、互いに隣接するビット線間で、かつ、その下層の互いに隣接するワード線間に配置する構造になる。

【0009】しかし、この場合、そのキャパシタ用接続孔内の導体膜がビット線とワード線と短絡しないようにその接続孔を形成する必要があるために、互いに隣接するワード線の間隔や互いに隣接するビット線の間隔を、位置合わせずれ等を考慮して、ある程度広くしなければならず、素子集積度の向上やチップサイズの縮小を阻害する。したがって、高集積化を実現するためには、高度な合わせ技術や工程管理が必要となっている。

【0010】そこで、このような問題を回避すべく、ワード線の表面を、窒化膜等のような層間絶縁膜とは異種の絶縁材料で被覆することにより、キャパシタ用接続孔を通常のエッチング処理によって自己整合的に形成する技術がある。

【0011】この技術の場合、キャパシタ用接続孔をエッチング処理によって穿孔する場合に、その接続孔が平面的にはワード線にかかるようになっていてもワード線の周りの窒化膜がエッチングストップパとして機能するので、その接続孔からワード線が露出してしまうこともなく、接続孔を形成することができる。

【0012】なお、CDB構造のメモリセルを有するDRAMについては、特開平7-122654号公報などに記載がある。また、キャパシタ用接続孔を自己整合的に形成する技術については、特開平9-55479号公報に記載がある。

【0013】【発明が解決しようとする課題】ところで、本発明者は、上記したキャパシタ用接続孔を自己整合的に形成する技術について検討した。以下は公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

【0014】すなわち、上記したキャパシタ用接続孔を自己整合的に形成する技術においては、キャパシタ用接続孔が平面正円状に形成されており、その孔径が互いに隣接するビット線の間隔で決まる最小間隔に設定されている。

【0015】しかし、キャパシタ用接続孔の孔径を隣接ビット線間の最小間隔に設定すると、その接続孔の底で半導体領域との接触面積を充分に確保することができないという問題がある。特に、その接続孔の平面位置は、ずれることが予想されるので、その場合には、その接触

面積がさらに小さくなってしまう。

【0016】このため、キャパシタと選択MOS・FETの半導体領域との接触抵抗が増大する結果、DRAMにおける情報の読み出しや書き込みが充分に行われなくなるとともに、DRAMの動作マージンが著しく低下してしまい、DRAMの機能や動作信頼性が著しく低下する問題がある。

【0017】また、孔径が隣接ビット線間の最小間隔で決められるキャパシタ用接続孔は、非常に微細であり加工限界に近づいているため、良好に開けることが困難であり、開口されない場合も生じる結果、DRAMの歩留りが著しく低下する問題がある。

【0018】一方、このような微細な接続孔を開ける技術として位相シフトマスクを用いたフォトリソグラフィ技術がある。この技術においては、透過光の位相を操作することにより転写パターンの解像度を向上させることができる。

【0019】しかし、位相シフト技術は、高度で高価な技術であるとともに、新たに半導体集積回路装置の製造工程に導入するのに時間や手間がかかり、半導体集積回路装置の開発期間が長くなるという問題がある。

【0020】特に、DRAMのメモリセル領域においては、接続孔が高密度に配置され、その隣接間隔が益々縮小される傾向にあるため、位相シフトマスク上のパターンの設計や適切な配置が困難な状況にあり、微細パターンの転写に限界が生じつつある。

【0021】本発明の目的は、接続孔を自己整合的に形成する場合に、その接続孔が多少位置ずれしたとしてもその底部における接触面積を充分に確保することのできる技術を提供することにある。

【0022】また、本発明の他の目的は、接続孔を自己整合的に形成する場合に、その接続孔の加工マージンを向上させることのできる技術を提供することにある。

【0023】さらに、本発明の他の目的は、接続孔を自己整合的に形成する場合に、位相シフト技術等のような高度で高価な技術を導入しなくても、その接続孔を形成することのできる技術を提供することにある。

【0024】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0025】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0026】本発明の半導体集積回路装置の製造方法は、(a)半導体基板上に複数の配線を形成する工程と、(b)前記複数の配線の表面を窒化膜によって被覆する工程と、(c)前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d)前記絶縁膜において、前記複数の配

線のうちの互いに隣接する配線の間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔する場合に、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する工程とを備え、(e) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状に形成するものである。

【0027】また、本発明の半導体集積回路装置の製造方法は、半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a) 半導体基板上に前記複数のワード線を形成する工程と、(b) 前記複数のワード線の表面を窒化膜によって被覆する工程と、(c) 前記窒化膜被覆工程後の半導体基板上に、前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、互いに隣接するワード線間に、前記メモリセル選択MIS・FETの半導体領域の一部が露出するような接続孔を穿孔する場合に、前記絶縁膜と前記窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔するとともに、その接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成する工程とを有するものである。

【0028】また、本願において開示される発明のうち、他の概要を説明すれば、次のとおりである。

【0029】本発明の半導体集積回路装置の製造方法は、(a) 半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、(b) 前記配線形成工程後の半導体基板上に前記複数の配線およびキャップ膜を被覆するように第2の窒化膜を堆積した後、その窒化膜をエッチバックすることにより、前記複数の配線およびキャップ膜の側面に窒化膜からなるサイドウォールを形成する工程と、(c) 前記サイドウォール形成工程後の半導体基板上に、前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔する場合に、前記絶縁膜と前記第1の窒化膜および第2の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する工程とを備え、(e) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前

記互いに隣接する配線の延在方向の長さよりも長くなるような形状に形成するものである。

【0030】本発明の半導体集積回路装置の製造方法は、半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a) 半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、(b) 前記配線形成工程後の半導体基板上に前記複数の配線およびキャップ膜を被覆するように窒化膜を堆積した後、その窒化膜をエッチバックすることにより、前記複数の配線およびキャップ膜の側面に窒化膜からなるサイドウォールを形成する工程と、(c) 前記サイドウォール形成工程後の半導体基板上に、前記窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するような接続孔を穿孔する場合に、前記絶縁膜と前記第1の窒化膜および第2の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する工程とを備え、(e) 前記接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成するものである。

【0031】本発明の半導体集積回路装置の製造方法は、半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a) 半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数のワード線を形成する工程と、(b) 前記ワード線形成工程後の半導体基板上に第2の窒化膜を堆積することにより、前記複数のワード線の側面、キャップ膜の表面および半導体基板上の平坦面を第2の窒化膜によって被覆する工程と、(c) 前記第2の窒化膜の被覆工程後の半導体基板上に、前記第1の窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(d) 前記絶縁膜において、前記ワード線の隣接間に、前記メモリセル選択MIS・FETの半導体領域が露出するような接続孔を穿孔すべく、前記絶縁膜と前記第1の窒化膜および第2の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、

前記接続孔を自己整合的に穿孔する場合に、前記絶縁膜のエッチング速度の方が、前記第1の窒化膜および第2の窒化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第2の窒化膜を露出させた後、前記第1の窒化膜および第2の窒化膜のエッチング速度の方が、前記絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記接続孔を自己整合的に穿孔する工程とを備え、(e) 前記接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成するものである。

【0032】本発明の半導体集積回路装置の製造方法は、半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a) 前記半導体基板に分離溝を形成した後、その分離溝内に分離膜を埋め込むことにより、前記半導体基板に溝形埋込分離領域を形成する工程と、(b) 前記半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数のワード線を形成する工程と、(c) 前記ワード線形成工程後の半導体基板上に第2の窒化膜を堆積することにより、前記複数のワード線の側面、キャップ膜の表面および半導体基板上の平坦面を第2の窒化膜によって被覆する工程と、(d) 前記第2の窒化膜の被覆工程後の半導体基板上に、前記第1の窒化膜とは異なる材料からなる絶縁膜を堆積する工程と、(e) 前記絶縁膜において、前記複数の配線のうちの互いに隣接する配線の間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するような接続孔を穿孔すべく、前記絶縁膜と前記第1の窒化膜および第2の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する場合に、前記絶縁膜のエッチング速度の方が、前記第1の窒化膜および第2の窒化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第2の窒化膜を露出させた後、前記第1の窒化膜および第2の窒化膜のエッチング速度の方が、前記絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記接続孔を自己整合的に穿孔する工程とを備え、(f) 前記接続孔の平面形状を、前記互いに隣接する配線に対して交差する方向の長さが、前記互いに隣接する配線の延在方向の長さよりも長くなるような形状に形成するものである。

【0033】本発明の半導体集積回路装置の製造方法は、(a) 半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜およ

び第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数の配線を形成する工程と、(b) 前記配線形成工程後の半導体基板上に前記複数の配線およびキャップ膜を被覆するように第2の窒化膜を堆積した後、その窒化膜をエッチバックすることにより、前記複数の配線およびキャップ膜の側面に窒化膜からなるサイドウォールを形成する工程と、(c) 前記サイドウォール形成工程後の半導体基板上に、前記窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜上に前記複数の第1の配線の延在方向に対して交差する方向に延びる複数の第2の配線を形成する工程と、(e) 前記第1の絶縁膜上にそれと同一材料からなる第2の絶縁膜を堆積することにより、前記複数の第2の配線を被覆する工程と、(f) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接する第1の配線間であり、かつ、互いに隣接する第2の配線間の領域に、前記半導体基板の一部が露出するような接続孔を穿孔する場合に、前記第1の絶縁膜および第2の絶縁膜と前記第1の窒化膜および第2の窒化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記接続孔を自己整合的に穿孔する工程とを備え、(g) 前記接続孔の平面形状を、前記互いに隣接する第1の配線に対して交差する方向の長さが、前記互いに隣接する第1の配線の延在方向の長さよりも長くなるような形状に形成するものである。

【0034】本発明の半導体集積回路装置の製造方法は、半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置の製造方法であって、(a) 半導体基板上に配線形成用の導体膜および第1の窒化膜を下層から順に堆積した後、その導体膜および第1の窒化膜をパターニングすることにより、上部に第1の窒化膜からなるキャップ膜が設けられた複数のワード線を形成する工程と、(b) 前記ワード線形成工程後の半導体基板上に第2の窒化膜を堆積することにより、前記複数のワード線の側面、キャップ膜の表面および半導体基板の平坦面を第2の窒化膜によって被覆する工程と、(c) 前記第2の窒化膜の被覆工程後の半導体基板上に、前記第1の窒化膜とは異なる材料からなる第1の絶縁膜を堆積する工程と、(d) 前記第1の絶縁膜上に前記複数のビット線を形成する工程と、(e) 前記第1の絶縁膜上に、それと同一材料からなる第2の絶縁膜を堆積することにより、前記複数のビット線を被覆する工程と、(f) 前記第1の絶縁膜および第2の絶縁膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間に、前記メモリセル選択MIS・FETの半導体領域が露出するようなキャパシタ用の接続孔を穿孔すべく、

前記第1の絶縁膜および第2の絶縁膜と前記第1の空化膜および第2の空化膜とのエッチング選択比を大きくした状態でエッチング処理を施すことにより、前記キャパシタ用の接続孔を自己整合的に穿孔する場合に、前記第1の絶縁膜および第2の絶縁膜のエッチング速度の方が、前記第1の空化膜および第2の空化膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記半導体基板の平坦面上の第2の空化膜を露出させた後、前記第1の空化膜および第2の空化膜のエッチング速度の方が、前記第1の絶縁膜および第2の絶縁膜のエッチング速度よりも速くなるような条件でエッチング処理を施し、前記キャパシタ用の接続孔を自己整合的に穿孔する工程とを備え、(e)前記キャパシタ用の接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状に形成するものである。

【0035】本発明の半導体集積回路装置は、半導体基板上に形成したメモリセル選択MIS・FETのゲート電極を構成する複数のワード線と、前記ワード線の上層にワード線の延在方向に直交するように延在する複数のビット線とを備えたDRAMを有する半導体集積回路装置であって、(a)前記半導体基板上に掘られた分離溝内に分離膜が埋め込まれてなる分離領域と、(b)前記複数のワード線の表面を被覆する空化膜と、(c)前記空化膜とは異なる材料からなり、前記空化膜および複数のワード線を被覆するように前記半導体基板上に堆積された第1の絶縁膜と、(d)前記第1の絶縁膜において、互いに隣接するワード線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記第1の絶縁膜と前記空化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたビット線用の接続孔と、(e)前記第1の絶縁膜上に形成され、前記ビット線用の接続孔を通じて前記メモリセル選択MIS・FETの半導体領域に電気的に接続された前記複数のビット線と、(f)前記第1の絶縁膜上に前記複数のビット線を被覆するように堆積された第2の絶縁膜と、(g)前記第1の絶縁膜および第2の絶縁膜において、互いに隣接するワード線間であり、かつ、互いに隣接するビット線間の領域に、前記メモリセル選択MIS・FETの半導体領域が露出するように穿孔された接続孔であって、前記第1の絶縁膜および第2の絶縁膜と前記空化膜とのエッチング選択比を大きくした状態でのエッチング処理により自己整合的に穿孔されたキャパシタ用の接続孔とを備え、(h)前記ビット線用の接続孔およびキャパシタ用の接続孔の平面形状を、前記ワード線に対して交差する方向の長さが、前記ワード線の延在方向の長さよりも長くなるような形状としたものである。

【0036】

【発明の実施の形態】以下、本発明の実施の形態を図面

に基づいて詳細に説明する（なお、実施の形態を説明するための全図において同一機能性を有するものは同一の符号を付し、その繰り返しの説明は省略する）。

【0037】（実施の形態1）図1および図2は本発明の一実施の形態である半導体集積回路装置のメモリ領域における要部平面図、図3および図4は図1および図2の半導体集積回路装置のメモリ領域におけるパターンの位置合わせずれを説明するためのメモリ領域の要部平面図、図5および図6は発明者が検討したメモリ領域におけるパターンの位置合わせずれを説明するためのメモリ領域の平面図、図7は図1の半導体集積回路装置の場合と本発明者が検討した技術とを比較するためのメモリ領域の要部平面図、図8(a)は図1のVII-VII線の断面図、図8(b)は本実施の形態の半導体集積回路装置における周辺回路領域の要部断面図、図9は図1のIX-IX線の断面図、図10は図1のX-X線の断面図、図11～図13は図1等の半導体集積回路装置の製造方法の説明図である。

【0038】本実施の形態1においては、本発明を、例えば64M・DRAMに適用した場合について説明する。ただし、ワード構成は、これに限定されるものではなく種々変更可能である。

【0039】まず、本実施の形態1のDRAMにおけるメモリ領域の平面構造を図1～図7によって説明する。なお、図1、図3～図7においては、図面を見易くするため、所定のパターンに網目状のハッチングを付す。

【0040】このDRAMを構成する半導体基板1は、例えばp-形のシリコン(Si)単結晶からなり、メモリ領域における半導体基板1の主面上には、複数の活性領域Dと、それを取り囲む分離領域Sとが配置されている。

【0041】メモリ領域における活性領域Dは、例えばガルウイング状にパターン形成されており、この活性領域Dからは半導体基板1の主面の一部が分離領域形成用の絶縁膜には被覆されずに露出されている。

【0042】そして、この半導体基板1の主面が露出されている活性領域Dに、メモリセルMOSの選択MOS・FET(Metal Oxide Semiconductor Field Effect Transistor)Qにおけるソース・ドレイン用の一対の半導体領域やチャネル領域が形成されている。

【0043】なお、図1～図7の上下方向に互いに隣接する活性領域D、Dは、その各々の中心線位置が、活性領域Dにおける図1～図7の横方向の長さの半分程度だけ図1～図7の横方向にずれて配置されている。

【0044】分離領域Sは、互いに隣接する集積回路素子間を電気的に分離する領域である。この分離領域Sにおいては、半導体基板1の主面が分離領域形成用の絶縁膜によって被覆されている。したがって、半導体基板1の主面の露出部分、すなわち、上記した活性領域Dの平面形状は、この分離領域Sの絶縁膜によって形成されて

いる。

【0045】半導体基板1上において活性領域Dや分離領域Sの上層には、複数のワード線WLのパターンが互いに平行に所定の隣接距離を隔てて配置されている。

【0046】このワード線WLは、図1～図7の上下方向に延在する帯状の導体パターンであり、その一部が活性領域D上に重なるように、かつ、互いに隣接するワード線WLの間が活性領域Dの露出部近傍の上方および中央領域の上方に配置されるように、図1～図7の横方向に互いに隣接する活性領域Dの互いの中心線の間4本ずつ配置されている。

【0047】そして、このワード線WLにおいて活性領域Dと重なる部分が上記した選択MOS・FETQのゲート電極となっている。また、活性領域Dにおいて、ワード線WLが重なる領域は選択MOS・FETQのチャネル領域となり、ワード線WLの両側の領域はソース・ドレイン用の一対の半導体領域となっている。

【0048】なお、ワード線WLの線幅は、選択MOS・FETQのしきい値電圧を得るために必要な一定の幅を有しており、例えば0.20～0.30 μm 、好ましくは0.25 μm 程度である。また、互いに隣接するワード線WLの間隔は、例えば0.15～0.25 μm 、好ましくは0.20 μm 程度である。

【0049】この各ワード線WLに重なる自己整合パターンSAは、活性領域Dの一部が露出するような後述のプラグ用の接続孔PCやビット線用の接続孔BLCを形成する際に、その接続孔BLCを自己整合的に形成するためのパターンである。

【0050】この自己整合パターンSAは、例えば窒化シリコン等からなり、ワード線WLの全体を覆うように、ワード線WLの両側部からワード線WLの幅方向に所定寸法だけ突出された状態で、ワード線WLよりも幅広に形成されている。

【0051】この自己整合パターンSAを設けたことにより、その接続孔PC、BLCから露出する活性領域D（すなわち、選択MOS・FETQの一対の半導体領域）において、ワード線WLの幅方向の寸法は、互いに隣接する自己整合パターンSAの間隔でほぼ規定されている。したがって、その接続孔PC、BLCからワード線WLが露出されないようになっている。なお、その接続孔PC、BLCから露出する活性領域Dにおいて、ワード線WLの延在方向の寸法は、接続孔PC、BLCの直径で規定されるようになっている。

【0052】このワード線WLや自己整合パターンSAの上層には、複数の円形状等のプラグPのパターンが配置されている。なお、図1および図7においては図面を見易くするためプラグPに網目状のハッチングを付す。

【0053】このプラグPは、メモリセルMCのキャパシタCの蓄積電極と、選択MOS・FETQの一方の半導体領域とを電気的に接続するための導体パターンであ

り、各プラグPは、選択MOS・FETQの一方の半導体領域上に重なるように配置されている。

【0054】このプラグPの上層には、複数のビット線BLのパターンが互いに平行に所定の隣接距離を隔てて配置されている。このビット線BLは、上記したワード線WLの延在方向に対して交差する方向に延びる導体パターンであり、その一部が下層における活性領域Dの中央の突出領域に重なるように、かつ、互いに隣接するビット線BLの間に下層のプラグPが配置されるように設けられている。

【0055】各ビット線BLは、基本的には帯状に形成されているが、上記した活性領域Dの突出領域と重なる部分では他の部分よりも幅広にパターン形成されている。なお、ビット線BLの細い部分の線幅は、例えば0.17 μm 程度、互いに隣接するビット線BLの幅の細い部分同士の間隔は、例えば0.40 μm 程度である。

【0056】このビット線BLの幅広部分には、ビット線BLと上記した活性領域Dの突出領域、すなわち、選択MOS・FETQの他方の半導体領域とを電気的に接続するためのビット線用の接続孔BLCのパターンが配置されている。なお、図1においては、図面を見易くするため、このビット線用の接続孔BLCに、プラグPに付した網目よりも細かい網目状のハッチングを付す。

【0057】本実施の形態1においてビット線用の接続孔BLCの形状は、ビット線BLの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線BLの幅方向（ワード線の延在方向）の寸法よりも長くなるように形成されている。

【0058】すなわち、ビット線用の接続孔BLCにおいて、ビット線の延在方向の寸法と、ビット線の幅方向の寸法との比が、例えば1よりも大きくなっている。

【0059】これにより、ビット線BLと選択MOS・FETQの他方の半導体領域との接触面積を大きくすることができる。すなわち、ビット線BLと選択MOS・FETQとの電気的な接続状態を良好にすることが可能となっている。

【0060】しかも、このビット線BLと選択MOS・FETQの他方の半導体領域との接触面積は、ビット線用の接続孔BLCと選択MOS・FETQの半導体領域との間に多少の位置合わせずれが生じても十分に確保することが可能となっている。したがって、ビット線用の接続孔BLCと活性領域D、すなわち、選択MOS・FETQの半導体領域との位置合わせマージンを増大させることが可能となっている。

【0061】例えば図5は本発明者が検討したビット線用の接続孔50を示している。この技術の場合は、ビット線用の接続孔50の孔径が、ビット線の幅方向（図5の上下方向）の位置合わせ等の関係で決められる寸法に設定されている。したがって、その接続孔50の形状は平面円形状に形成されている。

【0062】図5においては、このビット線用の接続孔50と活性領域Dとの位置合わせが良好な場合を示している。なお、図5においては、図面を見易くするため、ビット線用の接続孔50から露出する活性領域D部分に網目状のハッチングを付す。

【0063】しかし、この図5に示す技術の場合、ビット線用の接続孔50と活性領域Dとの間に位置合わせずれが生じると、その接続孔50から露出される活性領域Dの面積、すなわち、ビット線と選択MOS・FETQの他方の半導体領域との接触面積がその接続孔50を自己整合的に形成することに起因して非常に小さくなってしまふ。

【0064】図6は、その接続孔50と活性領域Dとの相対位置が図6の幅方向に互いに離間するように位置ずれした場合の一例を示している。この場合、その接続孔50から露出する活性領域D部分、すなわち、ビット線と選択MOS・FETQの他方の半導体領域との接触面積が、網目状のハッチングで示すように、非常に小さくなってしまふ。

【0065】一方、本実施の形態1において、このビット線用の接続孔BLCと活性領域Dとの位置合わせが良好な場合と、その接続孔BLCと活性領域Dとの相対位置が図6の場合と同様に位置ずれした場合とをそれぞれ図3および図4に示す。なお、図3および図4においても、図面を見易くするため、ビット線用の接続孔BLCから露出する活性領域D部分に網目状のハッチングを付す。

【0066】本実施の形態1においては、図4に示すように、ビット線用の接続孔BLCと活性領域Dとの相対位置が図6の場合と同様に位置ずれしたとしても、ビット線用の接続孔BLCから露出する活性領域Dの露出面積、すなわち、ビット線Bと半導体領域との接触面積を図5の場合よりも充分に確保することができる。

【0067】また、本実施の形態1においては、ビット線Bの接続孔BLCの平面形状をビット線Bの延在方向に長くしたことにより、図5で示した技術の場合よりも接続孔BLCの開口加工マージンを向上させることが可能となっている。これにより、ビット線用の接続孔BLCの開口不良を防止することが可能となっている。また、その開口不良を防止するために位相シフトマスクを用いた高度で高価な露光技術を導入する必要も無くなる。

【0068】次に、ビット線Bとビット線用の接続孔BLCの上層には、複数個のキャパシタCの蓄積電極が配置されている。このキャパシタCは、メモリセルMCを構成するデータ蓄積用のキャパシタであり、各蓄積電極はプラグPのパターンに重なるように配置されている。

【0069】本実施の形態1においては、例えばクラウン形状のキャパシタCが採用されている。ただし、キャ

パシタCは、クラウン形状に限定されるものではなく種々変更可能であり、例えばフィン形状としても良い。

【0070】なお、図1および図2においてキャパシタCの外周の枠線は、クラウン状の蓄積電極における側壁電極部を示している。また、図1および図2においては、その側壁電極部の外周等に微細な凹凸が形成されていることを示している。

【0071】このキャパシタCの蓄積電極の中央には、その蓄積電極と上記したプラグPとを電気的に接続するキャパシタ用の接続孔STCのパターンが配置されている。

【0072】すなわち、キャパシタCの蓄積電極はキャパシタ用の接続孔STCを通じてプラグパターンPに電気的に接続され、さらに、そのプラグパターンPを介して選択MOS・FETQの一方の半導体領域と電気的に接続されている。

【0073】なお、図1においては、図面を見易くするため、このキャパシタ用の接続孔STCに、プラグPに付した網目よりも細かい網目状のハッチングを付す。

【0074】本実施の形態1において、キャパシタ用の接続孔STCの形状は、ビット線Bの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線Bの幅方向（ワード線の延在方向）の寸法よりも長くなるように形成されている。

【0075】すなわち、キャパシタ用の接続孔STCにおいて、ビット線の延在方向の寸法と、ビット線の幅方向の寸法との比が、例えば1よりも大きくなっている。

【0076】これにより、キャパシタCの蓄積電極とプラグPとの接触面積を大きくすることができる。すなわち、キャパシタCと選択MOS・FETQとの電気的な接続状態を良好にすることが可能となっている。

【0077】例えば図7は本願発明の場合のキャパシタ用の接続孔STCと本発明者が検討したキャパシタ用の接続孔51との比較を示している。なお、図7においては図面を見易くするため、キャパシタ用の接続孔STCおよび接続孔51に網目状のハッチングを付し、キャパシタ用の接続孔STCに接続孔51に付した網目よりも細かい網目状のハッチングを付す。

【0078】キャパシタ用の接続孔51は、キャパシタCをビット線Bの上層に配置する関係上、その一部からビット線Bが露出しないように、接続孔51の孔径が、互いに隣接するビット線B間の間隔によって決められる最小の寸法に設定されている。したがって、その接続孔51は平面円形状に形成されている。

【0079】一方、本実施の形態1の場合におけるキャパシタ用の接続孔STCは、ビット線Bの幅方向の寸法が接続孔51と同様にビット線間の間隔によって決められる最小寸法によって設定されているが、ビット線Bの延在方向の寸法がビット線Bの幅方向寸法よりも長く設定されている。

【0080】したがって、図7から分かるように、本実施の形態1のキャパシタ用の接続孔STCの方が、接続孔S1の場合よりもその開口部からプラグPの上面が露出する面積、すなわち、キャパシタCの蓄積電極とプラグPとの接触面積が大きいことが分かる。

【0081】また、キャパシタCの蓄積電極とプラグPとの接触面積は、キャパシタ用の接続孔STCとプラグPのパターンとの間に位置合わせずれが生じても十分に確保することが可能となっている。これについては、上記したビット線用の接続孔BLCと同じ理由からである。したがって、キャパシタ用の接続孔STCとプラグPとの位置合わせマージンを増大させることが可能となっている。

【0082】また、本実施の形態1においては、キャパシタC用の接続孔STCの平面形状をビット線BLの延在方向に長くしたことにより、接続孔STCの開口加工マージンを向上させることが可能となっている。これにより、キャパシタ用の接続孔STCの開口不良を防止することが可能となっている。また、その開口不良を防止するために位相シフトマスクを用いた高度で高価な露光技術を導入する必要もなくなる。

【0083】次に、本実施の形態1の半導体集積回路装置の断面構造を図8～図10によって説明する。なお、図8(a)、図9および図10はDRAMのメモリ領域の要部断面図を示し、図8(b)はDRAMの周辺回路領域の要部断面図を示している。

【0084】メモリ領域における半導体基板1には深いnウエルDWが形成されている。この深いnウエルDWは、メモリ領域を周辺回路領域等から電気的に分離する機能を有する領域であり、例えばn形不純物のリンが導入されて形成されている。なお、深いnウエルDWは所定の電位に設定されるようになっている。

【0085】メモリ領域および周辺回路領域において半導体基板1の深いnウエルDWの上層部には、pウエルWpm、Wppが形成されている。このpウエルWpm、Wppは、例えばp形不純物のホウ素等が導入されて形成されている。

【0086】また、このpウエルWpm、Wppの所定の深さ領域には、特に分離溝2aの底部近傍の深さ領域において不純物濃度がピークになるように、チャネルストップ領域CSが形成されている。このチャネルストップ領域PSは、例えばp形不純物のホウ素等が導入されて形成されている。

【0087】メモリ領域および周辺回路領域において半導体基板1の上層部には、上記した分離領域Sが形成されている。本実施の形態1においては、分離領域Sの構造が、例えば溝形埋込分離構造となっている。

【0088】すなわち、分離領域Sは、半導体基板1の厚さ方向に掘られた分離溝2a内に分離用の絶縁膜2bを埋め込むことで形成されている。この分離用の絶縁膜

2bは、例えば二酸化シリコン(SiO₂)等からなる。

【0089】ここで、まず、メモリ領域について詳細に説明した後、周辺回路領域について説明する。

【0090】メモリ領域における半導体基板1のpウエルWpm上には、メモリセルMCが形成されている。このメモリセルMCは、1つの選択MOS・FETQと1つのキャパシタCとから構成されている。この1個のメモリセルMCのサイズは、例えば0.35～0.65μm²、好ましくは0.5μm²程度である。

【0091】選択MOS・FETQは、半導体基板1の上部に互いに離間して形成された一対の半導体領域3da、3dbと、半導体基板1上に形成されたゲート絶縁膜3iと、ゲート絶縁膜3i上に形成され上述のようにワード線WLの一部であるゲート電極3gとを有している。

【0092】半導体領域3da、3dbは、選択MOS・FETQのソース・ドレイン領域を形成するための領域であり、例えばn形不純物のリンが導入されて形成されている。

【0093】この半導体領域3dbは、半導体領域3db1と半導体領域3db2とを有している。半導体領域3db2は、プラグPに接する領域に形成されており、プラグPとの接触抵抗を下げる機能を有している。なお、この半導体領域3da、3dbの間においてゲート電極3gの下層に選択MOS・FETQのチャネル領域が形成される。

【0094】ゲート絶縁膜3iは、例えばSiO₂からなる。また、ゲート電極3gは、導体膜3g1上に、導体膜3g2が積み重ねられて形成されている。下層の導体膜3g1は、例えば低抵抗ポリシリコン膜からなり、上層の導体膜3g2は、例えばタングステンシリサイド(WSi₂)からなる。

【0095】この導体膜3g2により、ゲート電極3g、すなわち、ワード線WLの抵抗が下げられている。ただし、ゲート電極3gは、低抵抗ポリシリコンの単体膜で形成しても良いし、タングステン等のような所定の金属で形成しても良い。

【0096】このゲート電極3g、すなわち、ワード線WLの上面には、絶縁膜4を介してキャップ絶縁膜5が形成されている。絶縁膜4は、例えばSiO₂等からなり、キャップ絶縁膜5からの応力を緩和するための応力緩衝機能を有している。キャップ絶縁膜5は、例えば窒化シリコンからなり、上記した自己整合パターンSA(図1等参照)としての機能を有している。

【0097】また、このキャップ絶縁膜5の上面および側面、ゲート電極3g、すなわち、ワード線WLの側面および隣接するワード線WL間における半導体基板1の平坦面上には絶縁膜6が形成されている。

【0098】この絶縁膜6は、例えば窒化シリコンからなり、上記した自己整合パターンSA(図1等参照)と

しての機能を有している。なお、図1等における自己整合パターンSAにおいてワード線WLから平面的に所定寸法だけ突出している領域は、ワード線WLの両側面に被覆された絶縁膜6部分に等しい。

【0109】この絶縁膜6の上層には、層間絶縁膜7aが堆積されている。層間絶縁膜7aは、例えばSiO₂等からなり、その上面は平坦に形成されている。この層間絶縁膜7a上には、層間絶縁膜7b～7dが下層から順に堆積されている。メモリ領域においては、接続孔等の形成に際してフォトリソグラフィの精度を向上させるべく、層間絶縁膜7b～7dの上面が平坦に形成されている。

【0110】この層間絶縁膜7aおよび絶縁膜6には、上記したプラグ用の接続孔PCが穿孔されている。プラグ用の接続孔PCからは選択MOS・FETQの一方の半導体領域3dbが露出されている。

【0111】このプラグ用の接続孔PCの下部において、ゲート電極3g、すなわち、ワード線WLの幅方向の寸法は、図8(a)および図9に示すように、互いに隣接するゲート電極3g(ワード線WL)の側面に形成される絶縁膜6部分によって規定されている。これにより、プラグ用の接続孔PCの位置が多少ずれてしまってもプラグ用の接続孔PCからゲート電極3g(ワード線WL)の一部が露出してしまう問題が生じないようにしている。

【0112】一方、このプラグ用の接続孔PCにおいて、ゲート電極3g、すなわち、ワード線WLの延在方向の寸法は、図10に示すように、その接続孔PCの孔径によって決められている。

【0113】ただし、この層においてワード線WLの延在方向には他の配線が配置されていないので、その延在方向においてプラグ用の接続孔PCから他の配線が露出するようなこともない。

【0114】また、本実施の形態1においては、互いに隣接するワード線WL(ゲート電極3g)間において半導体基板1の平坦面上にも絶縁膜5を設け、後述するように、プラグ用の接続孔PCを穿孔する際に、層間絶縁膜7a～7dをエッチング除去した後、絶縁膜5をエッチング除去するというようにエッチング処理を分けて行うようにしている。

【0115】これにより、平面的にプラグ用の接続孔PCの範囲内に入ってしまう分離領域Sの絶縁膜2b部分がプラグ用の接続孔PCを穿孔するためのエッチング工程時にエッチング除去されてしまう不具合を回避することが可能になっている。

【0116】プラグ用の接続孔PC内には、上記したプラグPが埋め込まれている。プラグPは、例えば低抵抗ポリシリコンからなり、選択MOS・FETQの半導体領域3dbと電気的に接続されている。なお、プラグPには、例えばn形不純物のリンが含有されている。

【0107】層間絶縁膜7dの上面には、プラグPの上面を覆うように、例えばSiO₂等からなる層間絶縁膜7eが堆積されている。この層間絶縁膜7e上には、上記したビット線BLが形成されている。

【0108】このビット線BLは、導体膜BL1の上層に、導体膜BL2が堆積されてなり、上記したビット線の接続孔BLCを介して半導体領域3daと電気的に接続されている。なお、この導体膜BL1は、例えば低抵抗ポリシリコンからなり、導体膜BL2は、例えばWSi₂からなる。

【0109】このビット線の接続孔BLCの下部において、ゲート電極3g、すなわち、ワード線WLの幅方向の寸法は、図8(a)に示すように、互いに隣接するゲート電極3g(ワード線WL)の側面に形成される絶縁膜6部分によって規定されている。これにより、ビット線の接続孔BLCの位置が多少ずれてしまってもビット線の接続孔BLCからゲート電極3g(ワード線WL)の一部が露出してしまう問題が生じないようにしている。

【0110】しかも、本実施の形態1においては、上記したように、ビット線の接続孔BLCにおいてワード線WLの幅方向寸法が長くなるように形成されているので、ビット線の接続孔と半導体領域3daとの相対位置がずれたとしても、それらの間の接触面積を十分に確保することが可能となっている。

【0111】一方、このビット線の接続孔BLCにおいて、ゲート電極3g、すなわち、ワード線WLの延在方向の寸法は、ビット線BLの幅方向の位置合わせ条件で決まる値に設定されている。

【0112】ただし、この層においてワード線WLの延在方向には他の配線が配置されていないので、その延在方向においてビット線の接続孔BLCから他の配線が露出するようなこともない。

【0113】また、本実施の形態1においては、互いに隣接するワード線WL(ゲート電極3g)間において半導体基板1の平坦面上にも絶縁膜5を設け、後述するように、ビット線の接続孔BLCを穿孔する際に、層間絶縁膜7a～7dをエッチング除去した後、絶縁膜5をエッチング除去するというようにエッチング処理を分けて行うようにしている。

【0114】これにより、平面的にビット線の接続孔BLCの範囲内に入ってしまう分離領域Sの絶縁膜2b部分がビット線の接続孔BLCを穿孔するためのエッチング処理時にエッチング除去されてしまう不具合を回避することが可能になっている。

【0115】層間絶縁膜7e上には、例えばSiO₂からなる層間絶縁膜7fが形成されており、これによってビット線BLが被覆されている。さらに、層間絶縁膜7fの上面には、例えばSiO₂からなる層間絶縁膜7gが形成されている。この層間絶縁膜7gの上面は平坦に

形成されている。

【0116】この層間絶縁膜7eの平坦な上面には、層間絶縁膜7hが形成されている。この絶縁膜7eは、キャパシタCの蓄積電極8を形成した後の下地絶縁膜を除去する際にエッチングストッパとして機能する膜であり、例えば窒化シリコンからなる。

【0117】すなわち、層間絶縁膜7f上に層間絶縁膜7eを介在させることにより、窒化シリコン等からなる層間絶縁膜7hがビット線BLから離れるようにして、層間絶縁膜7hによるビット線BLの容量の増大を抑えることが可能となっている。

【0118】また、層間絶縁膜7eの上面を平坦にすることにより、キャパシタCの蓄積電極形成後の下地絶縁膜をエッチング除去する際に、そのエッチング量をメモリ領域の面内において均一にすることにより、そのエッチングの制御性を向上させることが可能となっている。

【0119】層間絶縁膜7h上には、上記したキャパシタCが形成されている。すなわち、本実施の形態1のDRAMは、ビット線BLの上層にキャパシタCを設ける、いわゆるCOB構造となっている。

【0120】キャパシタCは、蓄積電極8a表面にキャパシタ絶縁膜を介してプレート電極8bが被覆され構成されている。すなわち、本実施の形態1においては、蓄積電極8aの下面側および軸部側面にも容量部が形成されており、これにより大きな容量を確保することが可能となっている。

【0121】蓄積電極8aは、軸部8a1と、底部8a2と、底部側壁部8a3と、側壁部8a4とを有している。軸部8a1、底部8a2、底部側壁部8a3および側壁部8a4は、例えば低抵抗ポリシリコンからなり、その表面には微細な凹凸が形成されている。

【0122】なお、蓄積電極8aの底部8a2および底部側壁部8a3は、キャパシタ用の接続孔STCを穿孔する際にエッチングマスクとして使用した部分でもある。

【0123】キャパシタ絶縁膜は、例えば窒化シリコン膜上にSiO₂膜が堆積されて形成されている。また、プレート電極8bは、例えば低抵抗ポリシリコンからなり、所定の配線と電気的に接続されている。

【0124】このようなキャパシタCの蓄積電極8aにおける軸部8a1は、上記したキャパシタ用の接続孔STCを通じて選択MOS・FETQの一方の半導体領域3dbと電気的に接続されている。

【0125】キャパシタ用の接続孔STCは、キャパシタCの下層の互いに隣接するビット線BL間に穿孔されており、そのキャパシタ用の接続孔STCからはプラグPの上面が露出されている。

【0126】このキャパシタ用の接続孔STCにおいて、ゲート電極3e、すなわち、ワード線WLの延在方向（ビット線BLの幅方向）の寸法は、図8（e）およ

び図10に示すように、互いに隣接するビット線BLの間隔で決まる最小値に設定されている。

【0127】一方、本実施の形態1においては、このキャパシタ用の接続孔STCにおいて、ゲート電極3e、すなわち、ワード線WLの幅方向の寸法は、図9に示すように、ワード線WLの延在方向の寸法よりも長くなるように形成されている。したがって、上記したように、キャパシタCの蓄積電極8とプラグPとの接触面積を増大させることが可能となっている。

【0128】このプレート電極8b上には、例えばSiO₂等からなる層間絶縁膜7iを介して、例えばBPSG (Boro Phospho Silicate Glass)等からなる層間絶縁膜7jが形成されている。この層間絶縁膜7jの上面は平坦に形成されている。さらに、この層間絶縁膜7j上には、例えばSiO₂等からなる層間絶縁膜7kが形成されている。

【0129】次に、周辺回路領域について詳細に説明する。周辺回路領域における半導体基板1の上部には、上記したpウェルWppが形成されており、そのpウェルWpp上には、nチャネル形のMOS・FETQnが形成されている。

【0130】なお、周辺回路領域における半導体基板1においてpウェルWpm、Wppと同層にはnウェルも形成されている。このnウェルは、例えばn形不純物のリン等が導入されて形成されている。このnウェル上には、pチャネル形のMOS・FETが形成されている。

【0131】これらのnチャネル形のMOS・FETQnおよびpチャネル形のMOSによって、DRAMのセンスアンプ回路、カラムデコード回路、カラムドライバ回路、ロウデコード回路、ロウドライバ回路、1/0セレクタ回路、データ入力バッファ回路、データ出力バッファ回路および電源回路等のような周辺回路が形成されている。

【0132】nチャネル形のMOS・FETQnは、pウェルWppの上部に互いに離間して形成された一対の半導体領域9da、9dbと、半導体基板1上に形成されたゲート絶縁膜9iと、ゲート絶縁膜9i上に形成されたゲート電極9eとを有している。

【0133】半導体領域9da、9dbは、nチャネル形のMOS・FETQnのソース・ドレインを形成するための領域であり、それぞれ低不純物濃度領域9da1、9db1と、それよりも不純物濃度の高い高不純物濃度領域9da2、9db2とを有している。

【0134】低不純物濃度領域9da1、9db1は、例えばn形不純物のリンが導入されて形成され、高不純物濃度領域9da2、9db2は、例えばn形不純物のAsが導入されて形成されている。なお、この半導体領域9da、9dbの間にnチャネル形のMOS・FETQnのチャネル領域が形成されている。

【0135】ゲート絶縁膜9iは、例えばSiO₂から

なる。また、ゲート電極 $9e$ は、導体膜 $9e1$ 上に導体膜 $9e2$ が堆積されてなる。導体膜 $9e1$ は、例えば低抵抗ポリシリコンからなり、導体膜 $9e2$ は、例えば WSi_2 からなる。ただし、ゲート電極 $9e$ は、例えば低抵抗ポリシリコンの単体膜で形成しても良いし、金属で形成しても良い。

【0136】このゲート電極 $9e$ の上面には、絶縁膜4を介してキャップ絶縁膜5が形成されている。絶縁膜4は、例えば SiO_2 等からなり、キャップ絶縁膜5からの応力を緩和するための応力緩衝機能を有している。キャップ絶縁膜5は、例えば窒化シリコンからなる。

【0137】また、このゲート電極 $9e$ およびキャップ絶縁膜5の側面には、例えば窒化シリコンからなるサイドウォール $6a$ が形成されている。さらに、そのサイドウォール $6a$ の側面には、例えば SiO_2 等からなるサイドウォール $10a$ が形成されている。

【0138】なお、このサイドウォール $6a$ 、 $10a$ は、主として半導体基板1に低不純物濃度領域 $9da1$ 、 $9db1$ と高不純物濃度領域 $9da2$ 、 $9db2$ とを形成するためのイオン注入用のマスクとしての機能を有している。

【0139】このような半導体基板1上には、上記した層間絶縁膜 $7c \sim 7g$ が堆積されている。層間絶縁膜 $7d$ 、 $7e$ 、 $7f$ 、 $7g$ の上面は平坦に形成されている。層間絶縁膜 $7i$ 上には、上記した層間絶縁膜 $7j$ が形成されている。層間絶縁膜 $7j$ の上面も平坦に形成されている。

【0140】この層間絶縁膜 $7j$ の上面には、第1層配線 $11L1$ が形成されている。この第1層配線 $11L1$ は、例えばアルミニウム（ Al ）- Si -銅（ Cu ）合金またはその下層に窒化チタン（ TiN ）やチタン（ Ti ）等を設けて形成されている。

【0141】この第1層配線 $11L1$ は、層間絶縁膜 $7c \sim 7g$ 、 $7i$ 、 $7j$ に穿孔された接続孔 12 を通じて n チャネル形の $MOS \cdot FET$ の半導体領域 $9da$ と電気的に接続されている。層間絶縁膜 $7i$ 上には、上記した層間絶縁膜 $7k$ が形成されており、これにより第1層配線 $11L1$ は被覆されている。

【0142】次に、本実施の形態1のDRAMの製造方法を図11～図43によって説明する。

【0143】図11は、半導体集積回路装置の製造工程中における半導体基板1のメモリ領域および周辺回路領域の要部断面図である。

【0144】半導体基板1は、例えば p -形の Si 単結晶からなり、その上部には例えば溝形埋込構造の分離領域 S が形成されている。この分離領域 S は、例えば次のように形成する。

【0145】まず、半導体基板1上に SiO_2 等からなるパッド膜を熱酸化法等によって形成した後、その上面に窒化シリコン等からなる絶縁膜を CV 法等によって

形成し、さらに、その上面に活性領域 D （図1参照）を覆うようなフォトリソパターンを形成する。

【0146】続いて、そのフォトリソパターンをエッチングマスクとして、窒化シリコン等からなる絶縁膜をパターニングした後、フォトリソパターンを除去する。

【0147】その後、残された窒化シリコン等からなる絶縁膜をエッチングマスクとして、半導体基板1に対してドライエッチング処理等を施すことにより、窒化シリコン等からなる絶縁膜から露出する半導体基板1に分離溝 $2a$ を形成する。

【0148】最後に、半導体基板1上に、例えば SiO_2 等からなる絶縁膜を CV 法等によって堆積した後、その絶縁膜が分離溝 $2a$ 内にのみ残るように、その絶縁膜の上面をCMP（Chemical Mechanical Polishing）法等によってエッチバックすることにより分離領域 S を形成する。

【0149】次いで、図12に示すように、半導体基板1に、例えば n 形不純物のリンをイオン注入法等によって導入することにより、深い n ウェル DW を形成する。

【0150】続いて、半導体基板1に、例えば p 形不純物のホウ素をイオン注入法等によって導入することにより、 p ウェル Wpm 、 Wpp およびチャネルストップ領域 C Sを形成する。なお、この p ウェル Wpm 、 Wpp 等の形成工程の前後に半導体基板1に、例えば n 形不純物のリンをイオン注入法等によって導入することにより n ウェルを形成する。

【0151】その後、チャネル領域での不純物濃度を最適化することで、各 MOS のしきい値電圧を所定値に設定するために、半導体基板1（活性領域）の主面に、所定の不純物をイオン注入する。

【0152】次いで、図13に示すように、半導体基板1に対して熱酸化処理等を施すことにより、半導体基板1の主面に選択 $MOS \cdot FET$ のゲート絶縁膜 $3i$ および周辺回路の $MOS \cdot FET$ のゲート絶縁膜 $9i$ を形成する。

【0153】続いて、半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンからなる導体膜および WSi_2 等からなる導体膜を CV 法等によって順次堆積した後、その上層の導体膜上に、例えば SiO_2 からなる絶縁膜および窒化シリコンからなる絶縁膜を CV 法等によって順次堆積する。

【0154】その後、窒化シリコン膜等からなる絶縁膜、 SiO_2 等からなる絶縁膜および二層の導体膜を順次エッチング除去することにより、メモリセル領域および周辺回路領域にゲート電極 $3g$ （ワード線 WL ）、 $9g$ 、絶縁膜4およびキャップ絶縁膜5を形成する。

【0155】その後、メモリ領域に、例えば n 形不純物のリンをイオン注入法等によって導入することにより、選択 $MOS \cdot FET$ の半導体領域 $3da$ 、 $3db1$ を形成す

る。

【0156】また、これとは別の不純物導入工程により、周辺回路領域に、例えばn形不純物のリンをイオン注入法等によって導入することにより、周辺回路のnチャネル形のMOS・FETの低不純物濃度領域9d1、9db1を形成する。

【0157】なお、これらの工程後のメモリ領域の要部平面図を図14に示す。ワード線WLは、図14の上下方向に延在して形成されている。ワード線WLにおいて、活性領域Dと交差する部分がゲート電極3gとなっている。

【0158】次いで、図15に示すように、半導体基板1上に、例えば窒化シリコンからなる絶縁膜6をCVD法等によって堆積する。この絶縁膜6は自己整合的にプラグ用の接続孔やビット線用の接続孔を形成するための機能を有しており、これにより、キャップ絶縁膜5の上面、キャップ絶縁膜5およびゲート電極3gの側面および半導体基板1の平坦面上が被覆されている。

【0159】なお、この工程後のメモリ領域の要部平面図を図16に示す。自己整合パターンSAの幅は、ワード線WLとその両側面を被覆する絶縁膜6部分とを合わせた幅によって形成されている。

【0160】プラグ用の接続孔やビット線用の接続孔においてワード線WLの幅方向の寸法（図16の横方向の寸法）は、互いに隣接する自己整合パターンSAの間隔で規定されるようになっている。

【0161】次いで、図17に示すように、半導体基板1上に、例えばSiO₂等からなる層間絶縁膜7aをSOG（Spin On Glass）法等によって形成した後、その上面に、例えばSiO₂等からなる層間絶縁膜7bをCVD法等によって形成する。

【0162】続いて、図18に示すように、その層間絶縁膜7b上に、メモリ領域のみを覆うようなフォトリソパターン13aをフォトリソグラフィ技術によって形成した後、そのフォトリソパターン13aをエッチングマスクとして、周辺回路領域における層間絶縁膜7a、7b（図17参照）をウェットエッチング法等によって除去する。

【0163】その後、そのフォトリソパターン13aを残したまま、周辺回路領域における窒化シリコン等からなる絶縁膜6（図17参照）をドライエッチング法等によってエッチバックすることにより、ゲート電極9gおよびキャップ絶縁膜5の側面に窒化シリコン等からなるサイドウォール6aを形成する。

【0164】次いで、図19に示すように、半導体基板1上に、例えばSiO₂等からなる絶縁膜10をCVD法等によって堆積した後、その絶縁膜10をドライエッチング法等によってエッチバックすることにより、図20に示すように、周辺回路領域におけるサイドウォール6aの側面にサイドウォール10aを形成する。

【0165】続いて、ゲート電極9gおよびサイドウォール6a、10aをマスクとして、周辺回路領域に、例えばn形不純物のAsをイオン注入法等によって導入することにより、図21に示すように、nチャネル形のMOS・FETQnの孔不純物濃度領域9da2、9db2を形成する。

【0166】次いで、半導体基板1上に、例えばSiO₂等からなる層間絶縁膜7cをCVD法等によって形成した後、その層間絶縁膜7c上に、例えばSiO₂等からなる層間絶縁膜7dをプラズマCVD法等によって形成する。

【0167】続いて、図22に示すように、この層間絶縁膜7dの上面をCMP法等によって平坦に形成した後、図23に示すように、その層間絶縁膜7d上に、プラグ用の接続孔PCが露出するようなフォトリソパターン13bをフォトリソグラフィ技術によって形成する。

【0168】この際、本実施の形態1においては、層間絶縁膜7dの上面を平坦にしているため、十分なフォトリソグラフィマージンを確保することができ、良好なパターン転写が可能である。

【0169】その後、そのフォトリソパターン13bをエッチングマスクとして、プラグ用の接続孔PCを穿孔するためのエッチング処理を施す。本実施の形態1においては、そのエッチング処理を、例えば次のようにする。

【0170】すなわち、初めのうちは、図23に示すように、絶縁膜6やキャップ絶縁膜5等が露出した時点でエッチングが止まるように、SiO₂膜は除去されるが窒化シリコン膜は除去され難い条件でエッチング処理を施す。この際のエッチングガスとしては、例えばCF₄/F₂/アルゴン（Ar）等の混合ガスを用いる。

【0171】続いて、エッチング条件を、窒化シリコン膜は除去されるがSiO₂膜は除去され難い条件に変えることにより、図24に示すように、半導体基板1の一部が露出するようなプラグ用の接続孔PCを穿孔する。この際のエッチングガスとしては、例えばCHF₃/Ar/CF₄等の混合ガスを用いる。

【0172】このようにエッチング処理を施す理由は、そのようにしないと、プラグ用の接続孔PCを形成するためのエッチング処理によって、そのプラグ用の接続孔PCから露出する分離領域Sの絶縁膜2bがエッチング除去されてしまい不良が生じるからであり、そのような不良を防止するためである。

【0173】図25は、プラグ用の接続孔PCを穿孔した後のメモリ領域の要部平面図を示している。また、図26は、その図25のXXVI-XXVI線の断面図を示している。さらに、図27は上述のようなエッチング方法を用いない場合における図26と同位置の断面を示している。

【0174】本実施の形態1においては、図25に示すように、プラグ用の接続孔P Cから網目状のハッチングで示すように分離領域Sが露出している。

【0175】したがって、S i O₂等からなる層間絶縁膜7 e ~ 7 dにプラグ用の接続孔P Cを穿孔する場合に、窒化シリコン等からなる絶縁膜6を設けずに通常のエッチング処理によって穿孔しようとする、分離領域Sの絶縁膜2 bもS i O₂等からなるので、図27に示すように、プラグ用の接続孔P Cから露出する分離領域Sの絶縁膜2 b部分（接続孔P Cの底部）も除去されてしまう。

【0176】このプラグ用の接続孔P Cには、上記したようにn形不純物の導入された低抵抗ポリシリコンからなる導体膜が埋め込まれるので、そこから半導体基板1に拡散されたn形不純物とチャネルストップバCSとが重なり不良が生じる。

【0177】しかし、本実施の形態1においては、上述のようにプラグ用の接続孔P Cを穿孔する場合に、絶縁膜6等を設けエッチング条件を変えることにより、図26に示すように、プラグ用の接続孔P Cから露出する分離領域Sの絶縁膜2 bもあまり除去されずに残される。したがって、上述のような不良を防止することが可能となる。

【0178】次いで、プラグ用の接続孔P Cを介して半導体基板1に、例えばn形不純物のリンをイオン注入法等によって導入した後、半導体基板1上に、例えばn形不純物を含有する低抵抗ポリシリコンをCVD法等によって堆積する。

【0179】続いて、その低抵抗ポリシリコンをエッチバックすることにより、図28に示すように、プラグ用の接続孔P C内にプラグPを形成した後、図29に示すように、半導体基板1上に、例えばS i O₂等からなる層間絶縁膜7 eをCVD法等によって堆積し、プラグPの上面を被覆する。

【0180】その後、その層間絶縁膜7 e上に、ビット線用の接続孔S T Cが露出するようなフォトリソグラフィ技術によって形成する。

【0181】次いで、そのフォトリソグラフィパターン13 oをエッチングマスクとして、ビット線用の接続孔B L Cを穿孔するためのエッチング処理を施す。本実施の形態1においては、そのエッチング処理を、例えば次のようにする。

【0182】すなわち、初めのうちは、図29に示すように、絶縁膜6やキャップ絶縁膜5等が露出した時点でエッチングが止まるように、S i O₂膜は除去されるが窒化シリコン膜は除去され難い条件でエッチング処理を施す。この際のエッチングガスとしては、例えばC₄F₈/Ar等の混合ガスを用いる。

【0183】続いて、エッチング条件を、窒化シリコン

膜は除去されるがS i O₂膜は除去され難い条件に変えることにより、図30に示すように、半導体基板1の一部が露出するようにビット線用の接続孔B L Cを穿孔する。この際のエッチングガスとしては、例えばCHF₃/Ar/CF₄等の混合ガスを用いる。

【0184】このようにエッチング処理を施す理由は、そのようにしないと、ビット線用の接続孔B L Cを形成するためのエッチング処理によって、そのビット線用の接続孔B L Cから露出する分離領域Sの絶縁膜2 bがエッチング除去されてしまい不良が生じるからであり、そのような不良を防止するためである。

【0185】図31は、ビット線用の接続孔B L Cを穿孔した後のメモリ領域の要部平面図を示している。本実施の形態1においては、図31に示すように、ビット線用の接続孔B L Cから網目状のハッチングで示すように分離領域Sが露出している。

【0186】したがって、S i O₂等からなる層間絶縁膜7 e ~ 7 aにビット線用の接続孔B L Cを穿孔する場合に、窒化シリコン等からなる絶縁膜6を設けずに通常のエッチング処理によって穿孔しようとする、分離領域Sの絶縁膜2 bもS i O₂等からなるので、ビット線用の接続孔B L Cから露出する分離領域Sの絶縁膜2 bも除去されてしまう。

【0187】このビット線用の接続孔B L Cには、上記したようにn形不純物の導入された低抵抗ポリシリコンからなる導体膜が埋め込まれるので、そこから半導体基板1に拡散されたn形不純物とチャネルストップバCSとが重なり不良が生じる。

【0188】しかし、本実施の形態1においては、上述のようにビット線用の接続孔B L Cを穿孔する場合に、絶縁膜6等を設けエッチング条件を変えることにより、ビット線用の接続孔B L Cから露出する分離領域Sの絶縁膜2 bもあまり除去されずに残される。したがって、上述のような不良を防止することが可能となる。

【0189】また、本実施の形態1においては、上記したようにビット線用の接続孔B L Cの形状を、ワード線W Lの幅方向の方が、ワード線W Lの延在方向よりも長くなるような形状とした。

【0190】これにより、ビット線B Lと選択MOS・FETの半導体領域3 d eとの接触面積を増大させることが可能となっている。また、ビット線用の接続孔B L Cの位置合わせマージンを増大させることが可能となっている。

【0191】さらに、ビット線用の接続孔B L Cの開口加工マージンを増大させることが可能となっている。したがって、良好な穴開けが可能となっている。また、位相シフトマスクを用いた高度で高価な技術の導入が必ずしも用いなくてもよくなる。

【0192】次いで、図32に示すように、半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンが

らなる導体膜 $BL1$ および $WS12$ からなる導体膜 $BL2$ を CV 法等によって順次堆積する。

【0193】続いて、その導体膜 $BL1$ 、 $BL2$ をフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより、図33および図34に示すようにビット線 BL を形成する。

【0194】その後、半導体基板1上に、図35に示すように、例えば $SiO2$ 等からなる層間絶縁膜 $7f$ を CV 法等によって堆積することにより、ビット線 BL を被覆する。

【0195】次いで、層間絶縁膜 $7f$ の上面に、例えば $SiO2$ 等からなる層間絶縁膜 $7g$ を CV 法によって堆積した後、その層間絶縁膜 $7g$ の上面を CMP 法等によって平坦に形成する。

【0196】続いて、図36に示すように、層間絶縁膜 $7g$ の上面に、例えば窒化シリコンからなる層間絶縁膜 $7h$ を CV 法等によって堆積する。

【0197】本実施の形態1においては、層間絶縁膜 $7g$ を設けたことにより、ビット線 BL と、窒化シリコン等からなる層間絶縁膜 $7h$ との距離を離すことができるので、層間絶縁膜 $7h$ によるビット線容量の増大を抑制することが可能となっている。

【0198】その後、層間絶縁膜 $7h$ の上面に、例えば $SiO2$ 等からなる絶縁膜 14 を CV 法によって堆積した後、半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンからなる導体膜を CV 法で堆積する。

【0199】次いで、その導体膜においてキャパシタ用の接続孔形成領域をフォトリソグラフィ技術およびドライエッチング技術によって開口して導体膜15のマスクパターンを形成する。

【0200】続いて、その導体膜15を被覆するように、例えばリンが導入された低抵抗ポリシリコンからなる導体膜16を CV 法等によって半導体基板1上に堆積した後、その導体膜16をエッチバックすることにより、図37に示すように、導体膜15の開口領域端部にサイドウォール16aを形成する。

【0201】その後、その導体膜15およびサイドウォール16aをエッチングマスクとして、そのマスクパターンから露出する領域の絶縁膜14および層間絶縁膜 $7e\sim 7h$ をドライエッチング法等によって除去する。この際のエッチング処理に際しては、最初、例えば $CHF_3/Ar/CF_4$ 等の混合ガスにより行い、その後、例えば CF_4/Ar 等の混合ガスに切り換えて行う。

【0202】これにより、図37および図38に示すように、プラグPの一部が露出するようなキャパシタ用の接続孔 STC を形成する。

【0203】なお、図38においては、図面を見易くするため、プラグPおよびキャパシタ用の接続孔 STC に網目状のハッチングを付す。また、キャパシタ用の接続

孔 STC の外周の略楕円形を形成する線はマスクパターン用の導体膜15の開口領域の外周線を示し、その線とキャパシタ用の接続孔 STC の外周線との間にはサイドウォール16aが形成されている。

【0204】また、本実施の形態1においては、上記したようにキャパシタ用の接続孔 STC の形状を、ワード線 WL の幅方向の方が、ワード線 WL の延在方向よりも長くなるような形状とした。

【0205】これにより、キャパシタの蓄積電極とプラグPとの接触面積を増大させることが可能となっている。また、キャパシタ用の接続孔 STC の位置合わせマージンを増大させることが可能となっている。

【0206】さらに、キャパシタ用の接続孔 STC の開口加工マージンを増大させることが可能となっている。したがって、良好な穴開けが可能となっている。また、位相シフトマスクを用いた高度で高価な技術の導入が必ずしも用いなくてもよくなる。

【0207】その後、導体膜15およびサイドウォール16aを残したまま半導体基板1上に、例えばリンが導入された低抵抗ポリシリコンからなる導体膜を CV 法等によって堆積した後、その上面に、例えば $SiO2$ からなる絶縁膜をプラズマ CV 法等によって堆積する。

【0208】次いで、図39に示すように、その絶縁膜上に、キャパシタ用の接続孔 STC を覆い、キャパシタの蓄積電極のパターンを形成するためのフォトリソ resist パターン13dをフォトリソグラフィ技術によって形成する。

【0209】続いて、そのフォトリソ resist パターン13dをエッチングマスクとして、下層の絶縁膜、導体膜およびマスク用の導体膜15をドライエッチング法等によってパターンニングすることにより、図39および図40に示すように、キャパシタの蓄積電極8aの軸部8a1、底部8a2、底部側壁部8a3(サイドウォール16a)および絶縁膜17を形成する。

【0210】その後、図41に示すように、半導体基板1上に、低抵抗ポリシリコンからなる導体膜18を CV 法で堆積した後、その導体膜18を RIE などの異方性ドライエッチング法によってエッチバックすることにより、図42に示すように、キャパシタの蓄積電極8aの側壁部8a4を形成する。

【0211】その後、例えばフッ酸溶液を用いたウエットエッチングにより、絶縁膜14、17(図41等参照)を除去する。この際、層間絶縁膜 $7h$ がウエットエッチングのストップとして機能するため、その下層の層間絶縁膜 $7e$ は除去されない。

【0212】また、本実施の形態1においては、層間絶縁膜 $7g$ の上面が平坦なので、絶縁膜14を均一にエッチングすることができ、エッチング制御性を向上させることが可能となっている。

【0213】次いで、半導体基板1に対して、例えば S

12 H₂ ガスを照射した後、熱処理を行うことにより、図43に示すように、蓄積電極8aの表面に微細な凹凸を形成する。

【0214】続いて、半導体基板1上に窒化シリコン膜（図示せず）をCVD法で堆積した後、その窒化シリコン膜に対して酸化処理を加することにより、キャパシタの蓄積電極8aの表面に窒化シリコン膜およびSiO₂膜からなるキャパシタ絶縁膜を形成する。

【0215】その後、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法で堆積し、この導体膜をフォトリソトをマスクにしてエッチングすることにより、図8(a)に示したように、キャパシタCのプレート電極8bを形成する。

【0216】次いで、周辺回路領域における層間絶縁膜7hを除去した後、半導体基板1上に、例えばSiO₂からなる層間絶縁膜7iをCVD法等によって堆積した後、その上面に、例えばBPSG等からなる層間絶縁膜7jを堆積した後、その上面をCMP法等によって平坦に形成する。

【0217】続いて、キャパシタCのプレート電極8bのパッド部が露出するような接続孔および周辺回路領域におけるnチャネル形のMOS・FETQnの半導体領域9daが露出するような接続孔12をドライエッチング法等によって形成する。

【0218】その後、半導体基板1上に、例えばAl-Si-Cu合金またはその下層にTiN等を設けてなる導体膜をスパッタリング法等によって堆積する。

【0219】その後、その導体膜を、フォトリソグラフィ技術およびドライエッチング技術等によってパターンニングすることにより、第1層配線11L1を形成した後、半導体基板1上に、例えばSiO₂からなる層間絶縁膜7kをCVD法等によって堆積して第1層配線11L1を被覆する。

【0220】このような本実施の形態1によれば、以下の効果を得ることが可能となる。

【0221】(1).ビット線用の接続孔BLCの平面形状を、ビット線BLの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線BLの幅方向（ワード線の延在方向）の寸法よりも長くなるような形状としたことにより、ビット線BLと選択MOS・FETQの半導体領域3daとの接触面積を大きくすることが可能となる。このため、ビット線BLと選択MOS・FETQとの電気的な接続状態を良好にすることができ、情報の読み出しおよび書き込みを良好に行うことができ、DRAMの動作マージンを増大させることが可能となる。したがって、DRAMの性能および動作信頼性を向上させることが可能となる。

【0222】(2).ビット線用の接続孔BLCの平面形状を、ビット線BLの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線BLの幅方向（ワード線の延在

方向）の寸法よりも長くなるような形状としたことにより、ビット線BLと選択MOS・FETQの半導体領域3daとの接触面積を、それらの間に多少の位置合わせずれが生じても十分に確保することが可能となる。したがって、ビット線用の接続孔BLCと選択MOS・FETQの半導体領域3daとの位置合わせマージンを増大させることが可能となる。

【0223】(3).上記(2)により、チップサイズを大形にしたり、集積度を減らしたりしなくとも、ビット線用の接続孔BLCの穴開けを容易にすることが可能となる。

【0224】(4).ビット線用の接続孔BLCの平面形状を、ビット線BLの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線BLの幅方向（ワード線の延在方向）の寸法よりも長くなるような形状としたことにより、ビット線用の接続孔BLCの開口加工マージンを向上させることが可能となる。

【0225】(5).上記(4)により、ビット線用の接続孔BLCの開口不良を防止することが可能となる。したがって、DRAMの歩留りおよび信頼性を向上させることが可能となる。

【0226】(6).上記(4)により、ビット線用の接続孔BLCを良好に開口するために位相シフトマスクを用いた高度で高価な露光技術を必ずしも導入しなくともよい。したがって、DRAMの開発期間を短縮することが可能となる。また、DRAMの低コスト化を推進することが可能となる。

【0227】(7).キャパシタ用の接続孔STCの平面形状を、ビット線BLの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線BLの幅方向（ワード線の延在方向）の寸法よりも長くなるような形状としたことにより、キャパシタ用の接続孔STCとプラグPとの接触面積を大きくすることが可能となる。このため、キャパシタCと選択MOS・FETQとの電気的な接続状態を良好にすることができ、情報の読み出しおよび書き込みを良好に行うことができ、DRAMの動作マージンを増大させることが可能となる。したがって、DRAMの性能および動作信頼性を向上させることが可能となる。

【0228】(8).キャパシタ用の接続孔STCの形状を、ビット線BLの延在方向（ワード線WLの幅方向）の寸法の方が、ビット線BLの幅方向（ワード線の延在方向）の寸法よりも長くなるような形状としたことにより、このキャパシタCの蓄積電極8aとプラグPとの接触面積を、それらの間に多少の位置合わせずれが生じても十分に確保することが可能となる。したがって、キャパシタ用の接続孔STCとプラグPとの位置合わせマージンを増大させることが可能となる。

【0229】(9).上記(8)により、チップサイズを大形にしたり、集積度を減らしたりしなくとも、キャパシタ

用の接続孔STCの穴開けを容易にすることが可能となる。

【0230】(10)、キャパシタ用の接続孔STCの平面形状を、ビット線BLの延在方向(ワード線WLの幅方向)の寸法の方が、ビット線BLの幅方向(ワード線の延在方向)の寸法よりも長くなるような形状としたことにより、キャパシタ用の接続孔STCの開口加工マージンを向上させることが可能となる。

【0231】(11)、上記(10)により、キャパシタ用の接続孔STCの開口不良を防止することが可能となる。したがって、DRAMの歩留りおよび信頼性を向上させることが可能となる。

【0232】(12)、上記(10)により、キャパシタ用の接続孔STCを良好に開口するために位相シフトマスクを用いた高度で高価な露光技術を必ずしも導入しなくてもよい、したがって、DRAMの開発期間を短縮することが可能となる。また、DRAMの低コスト化を推進することが可能となる。

【0233】(13)、プラグ用の接続孔PCおよびビット線用の接続孔BLCを穿孔する際に、エッチング処理を分けて行うことにより、その接続孔PC、BLCから露出する分離領域Sの絶縁膜2bをエッチング除去してしまう不具合を防止することが可能となる。したがって、DRAMの動作信頼性を向上させることが可能となる。

【0234】(14)、上記(13)により、プラグ用の接続孔PCおよびビット線用の接続孔BLCの位置合わせマージンを増大させることができるので、チップサイズを大形にしたり、集積度を高らしたりしなくとも、プラグ用の接続孔PCおよびビット線用の接続孔BLCの穴開けを容易にすることが可能となる。

【0235】(実施の形態2) 図44は本発明の他の実施の形態である半導体集積回路装置の要部平面図、図45(a)は図44のXXXXV-XXXXV線の断面図、図45(b)は本発明の他の実施の形態である半導体集積回路装置の周辺回路領域における要部断面図、図46は図44のXXXVI-XXXVI線の断面図、図47は図44のXXXXVII-XXXXVII線の断面図、図48~図55は図44の半導体集積回路装置の製造方法を説明するための説明図である。

【0236】本実施の形態2においては、図44~図47等によ示すように、前記実施の形態1において説明したプラグP(図1および図8等参照)が設けられていない構造となっている。

【0237】すなわち、本実施の形態2においては、キャパシタCの蓄積電極Baが、キャパシタ用の接続孔STCを通じて選択MOS・FETQの半導体領域3dbに直接接合され電氣的に接続される構造となっている。これ以外は前記実施の形態1と同じ構造である。

【0238】したがって、本実施の形態2においても前記実施の形態1と同じ効果が得られる。

【0239】特に、本実施の形態2においてキャパシタ用の接続孔STCは、その孔から選択MOS・FETQの半導体領域3dbが直接露出されるように形成されるので、位置合わせが多層間にわたる。

【0240】したがって、その接続孔の形状を円形状とする技術の場合、位置合わせが難しく、位置ずれに起因して選択MOS・FETQの半導体領域3dbの露出面積が小さくなり、キャパシタCの蓄積電極Baとの接触面積を十分に確保できない場合が生じる。

【0241】しかし、本実施の形態2においては、前記実施の形態1で説明したのと同様にキャパシタ用の接続孔STCの平面形状をワード線WLの幅方向が長くなるような形状としたことにより、その位置合わせマージンを大きくとることができ、キャパシタ用の接続孔STCの形成を容易にすることが可能となっている。

【0242】例えば図48は、本発明者が検討した技術であって前記実施の形態1でも説明したキャパシタ用の接続孔52が円形状の技術の場合であり、その位置と活性領域Dの位置とが相対的にずれた場合を示している。

【0243】この技術の場合、網目の細かいハッチングで示すように、キャパシタ用の接続孔52から露出する選択MOS・FETQの半導体領域が非常に小さくなってしまふ。

【0244】一方、図49は、本実施の形態2の場合であってキャパシタ用の接続孔STCが他の層との合わせが良好な場合を示している。このキャパシタ用の接続孔STCから露出する選択MOS・FETQの半導体領域に網目のハッチングを付す。

【0245】そして、図50はキャパシタ用の接続孔STCが図48と同様にずれてしまった場合を示している。本実施の形態2においては、キャパシタ用の接続孔STCの平面形状をワード線WLの幅方向の方が長くなるような形状としたことにより、図48と比較して分かるように、キャパシタ用の接続孔STCから露出する選択MOS・FETQの半導体領域の露出面積を十分に確保することが可能となっている。

【0246】次に、本実施の形態2の半導体集積回路装置の製造方法を図51~図56によって説明する。なお、本実施の形態2においては、前記実施の形態1の半導体集積回路装置の製造方法において図11~図22によって説明した工程までが同じなので、その説明を省略し、それに続く工程から説明する。

【0247】まず、図51に示すように、絶縁膜6および層間絶縁膜7a~7dにビット線用の接続孔BLCを、前記実施の形態1と同様に穿孔する。

【0248】続いて、図52に示すように、半導体基板1上に、例えば低抵抗ポリシリコン等からなる導体膜B1、B2を下層から順にCVD法等によって堆積する。

【0249】その後、その導体膜B1、B2をフォト

リソグラフィ技術およびドライエッチング技術等によって図53に示すようにパターンニングすることにより、ビット線BLを形成した後、前記実施の形態1と同様に層間絶縁膜7f、7gを堆積する。

【0250】次いで、層間絶縁膜7gの上面を平坦に形成した後、その上に、前記実施の形態1と同様に窒化シリコン等からなる層間絶縁膜7hおよびSiO₂等からなる絶縁膜14を下層から順に堆積する。

【0251】続いて、絶縁膜14の上面にマスクパターンとなる導体膜15のパターンを前記実施の形態1と同様に形成した後、それを被覆するように導体膜16を形成する。

【0252】その後、導体膜16をエッチバックすることにより、導体膜15の開口部側面にサイドウォール16aを形成した後、その導体膜15およびサイドウォール16aをエッチングマスクとして、キャパシタ用の接続孔STCを前記実施の形態1と同様に穿孔する。

【0253】したがって、本実施の形態2においても、図55に示すように、キャパシタ用の接続孔STCの位置が、活性領域Sに対して図55の上方向に位置ずれしてしまったとしても、その接続孔STCから露出する分離領域Sの絶縁膜があまり除去されずに残される。

【0254】なお、図55においては、図面を見易くするため、キャパシタ用の接続孔STCから露出する分離領域Sに網目のハッチングを付す。

【0255】次いで、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜をCVD法等によって堆積した後、その上面に前記実施の形態1と同様にSiO₂等からなる絶縁膜を形成し、これをフォトリソグラフィ技術およびドライエッチング技術等によってパターンニングする。

【0256】続いて、前記実施の形態1と同様に、半導体基板1上に、例えば低抵抗ポリシリコンからなる導体膜を堆積した後、これをエッチバックすることにより、図56に示すように、キャパシタの蓄積電極8aの側壁部8a4を形成する。

【0257】その後、キャパシタの蓄積電極8a上の絶縁膜および下地の絶縁膜14（図54参照）をウエットエッチングによって除去する。本実施の形態2においても、絶縁膜14の下地が平坦なので、絶縁膜14の厚さが均一であり、その絶縁膜14等を均一にエッチング除去することが可能となっている。これ以降は、前記実施の形態1と同じなので説明を省略する。

【0258】以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0259】例えば図57および図58に示すように、プラグPをキャパシタ用の接続孔STCの延在方向と同様に、ワード線WLの幅方向に長くして、ワード線WL

の上方にかかるような略長方形の形状に形成しても良い。この場合、キャパシタ用の接続孔STCがワード線WLの幅方向（図57の横方向）にずれる場合の許容寸法を増大させることが可能となる。

【0260】また、ビット線用の接続孔を穿孔する場合にも、キャパシタの接続孔を形成する場合と同じように低抵抗ポリシリコン等からなる導体膜のマスクを用い、それをビット線の一部とするようにしても良い。

【0261】また、前記実施の形態1、2においては、接続孔を自己整合的に形成するための窒化シリコンからなる膜を半導体基板の平坦面上にも設けた場合について説明したが、これに限定されるものではなく、例えばワード線の上面および側面のみに窒化シリコンからなる絶縁膜を設け、半導体基板の平坦面上には設けない構造としても良い。

【0262】この場合は、窒化シリコンからなるキャップ絶縁膜を上部に設けているワード線を被覆するように半導体基板上に窒化シリコンからなる絶縁膜を堆積した後、これをエッチバックすることにより、ワード線およびキャップ絶縁膜の側面に窒化シリコンからなるサイドウォールを形成する。

【0263】また、前記実施の形態1、2においては、分離領域を溝形埋込構造とした場合について説明したが、これに限定されるものではなく種々変更可能であり、例えばフィールド絶縁膜でも良い。

【0264】また、前記実施の形態1、2においては、分離領域の分離溝内に絶縁膜を埋め込む場合について説明したが、例えば分離溝内にポリシリコン等を埋め込む構造としても良い。

【0265】また、前記実施の形態1、2においては、キャパシタがビット線の上層に配置される、いわゆるC08構造のDRAMに本発明を適用した場合について説明したが、これに限定されるものではなく、キャパシタがビット線の下層に配置される構造にも適用可能である。

【0266】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるDRAMに適用した場合について説明したが、それに限定されるものではなく、例えば同一基板上にDRAMと論理回路とを設けてなる論理付きDRAM等のような半導体集積回路装置技術等に適用できる。

【0267】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0268】(1) 本発明の半導体集積回路装置の製造方法によれば、接続孔の形状を、互いに隣接する配線に交差する方向に長くしたことにより、その接続孔がその交差方向に多少ずれたとしてもその底部における接触面積を十分に確保することが可能となる。

【0269】(2).上記(1)により、その接続孔内に埋め込まれた導体と半導体基板との接触面積を増大させることができるので、その導体と半導体基板との電気的な接続状態を良好にすることが可能となる。したがって、半導体集積回路装置の性能および動作信頼性を向上させることが可能となる。

【0270】(3).本発明を、例えばDRAMのキャパシタ用接続孔に適用すれば上記(1)により、キャパシタと選択MOS・FETの半導体領域との接触面積を増大させることができるので、情報の読み出しおよび書き込みを良好に行うことができ、DRAMの動作マージンを増大させることが可能となる。したがって、DRAMの性能および動作信頼性を向上させることが可能となる。

【0271】(4).本発明の半導体集積回路装置の製造方法によれば、接続孔の形状を、互いに隣接する配線に交差する方向に長くしたことにより、その接続孔の面積を増大させることができるので、その接続孔の加工マージンを向上させることが可能となる。このため、その接続孔の加工を容易にすることができ、その接続孔の開口不良を防止することが可能となる。したがって、半導体集積回路装置の歩留りを向上させることが可能となる。

【0272】(5).本発明の半導体集積回路装置の製造方法によれば、接続孔の形状を、互いに隣接する配線に交差する方向に長くしたことにより、その接続孔の面積を増大させることができるので、その接続孔の加工マージンを向上させることが可能となる。このため、位相シフト技術等のような高度で高価なフォトリソグラフィ技術を導入しなくても、その接続孔を形成することが可能となる。したがって、半導体集積回路装置の開発期間を短縮することができる。また、半導体集積回路装置のコスト低減を推進することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置のメモリ領域における要部平面図である。

【図2】本発明の一実施の形態である半導体集積回路装置のメモリ領域における要部平面図である。

【図3】図1および図2の半導体集積回路装置のメモリ領域におけるパターンの位置合わせずれを説明するためのメモリ領域の要部平面図である。

【図4】図1および図2の半導体集積回路装置のメモリ領域におけるパターンの位置合わせずれを説明するためのメモリ領域の要部平面図である。

【図5】発明者が検討したメモリ領域におけるパターンの位置合わせずれを説明するためのメモリ領域の平面図である。

【図6】発明者が検討したメモリ領域におけるパターンの位置合わせずれを説明するためのメモリ領域の平面図である。

【図7】図1の半導体集積回路装置の場合と本発明者が検討した技術とを比較するためのメモリ領域の要部平面

図である。

【図8】(a)は図1のVIII-VIII線の断面図であり、(b)は本実施の形態の半導体集積回路装置における周辺回路領域の要部断面図である。

【図9】図1のIX-IX線の断面図である。

【図10】図1のX-X線の断面図である。

【図11】図1の半導体集積回路装置の製造方法の説明図である。

【図12】図1の半導体集積回路装置の製造方法の説明図である。

【図13】図1の半導体集積回路装置の製造方法の説明図である。

【図14】図1の半導体集積回路装置の製造方法の説明図である。

【図15】図1の半導体集積回路装置の製造方法の説明図である。

【図16】図1の半導体集積回路装置の製造方法の説明図である。

【図17】図1の半導体集積回路装置の製造方法の説明図である。

【図18】図1の半導体集積回路装置の製造方法の説明図である。

【図19】図1の半導体集積回路装置の製造方法の説明図である。

【図20】図1の半導体集積回路装置の製造方法の説明図である。

【図21】図1の半導体集積回路装置の製造方法の説明図である。

【図22】図1の半導体集積回路装置の製造方法の説明図である。

【図23】図1の半導体集積回路装置の製造方法の説明図である。

【図24】図1の半導体集積回路装置の製造方法の説明図である。

【図25】図1の半導体集積回路装置の製造方法の説明図である。

【図26】図1の半導体集積回路装置の製造方法の説明図である。

【図27】本発明者が検討した技術における半導体集積回路装置の製造工程における断面図である。

【図28】図1の半導体集積回路装置の製造方法の説明図である。

【図29】図1の半導体集積回路装置の製造方法の説明図である。

【図30】図1の半導体集積回路装置の製造方法の説明図である。

【図31】図1の半導体集積回路装置の製造方法の説明図である。

【図32】図1の半導体集積回路装置の製造方法の説明図である。

【図 33】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 34】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 35】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 36】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 37】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 38】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 39】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 40】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 41】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 42】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 43】図 1 の半導体集積回路装置の製造方法の説明図である。
 【図 44】本発明の他の実施の形態である半導体集積回路装置の要部平面図である。
 【図 45】(a) は図 44 の XXXV - XXXV 線の断面図であり、(b) は本発明の他の実施の形態である半導体集積回路装置の周辺回路領域における要部断面図である。
 【図 46】図 44 の XXXVI - XXXVI 線の断面図である。
 【図 47】図 44 の XXXVII - XXXVII 線の断面図である。
 【図 48】本発明者が検討した技術の半導体集積回路装置の平面図である。
 【図 49】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 50】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 51】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 52】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 53】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 54】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 55】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 56】図 44 の半導体集積回路装置の製造方法の説明図である。
 【図 57】本発明の他の実施の形態である半導体集積回

路装置の要部平面図である。

【図 58】図 57 の A-A 線の断面図である。

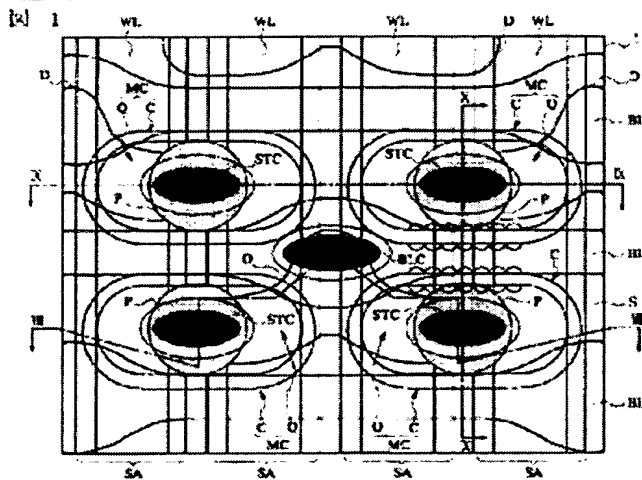
【符号の説明】

1 半導体基板
 2a 分離溝
 2b 絶縁膜
 3da, 3db, 3db1, 3db2 半導体領域
 3i ゲート絶縁膜
 3e ゲート電極
 3e1, 3e2 導体膜
 4 絶縁膜
 5 キャップ絶縁膜
 6 絶縁膜
 6a サイドウォール
 7a~7k 層間絶縁膜
 8a 番線電極
 8a1 軸部
 8a2 底部
 8a3 底部側壁部
 8a4 側壁部
 8b フレート電極
 9da, 9db 半導体領域
 9da1, 9db1 低不純物濃度領域
 9da2, 9db2 高不純物濃度領域
 9i ゲート絶縁膜
 9e ゲート電極
 9e1, 9e2 導体膜
 10 絶縁膜
 10a サイドウォール
 11L1 第1層配線
 12 接続孔
 13a~13d フォトリソパターン
 14 絶縁膜
 15 導体膜
 16 導体膜
 16a サイドウォール
 D 活性領域
 DW 深いnウエル
 Wpn, Wpp pウエル
 CS チャネルストッパ
 S 分離領域
 WL ワード線
 MC メモリセル
 Q 選択MOS・FET
 Qn nチャネル形のMOS・FET
 SA 自己整合パターン
 P フラグ
 PC フラグ用の接続孔
 BL ビット線
 BLC ビット線用の接続孔

C キャパシタ

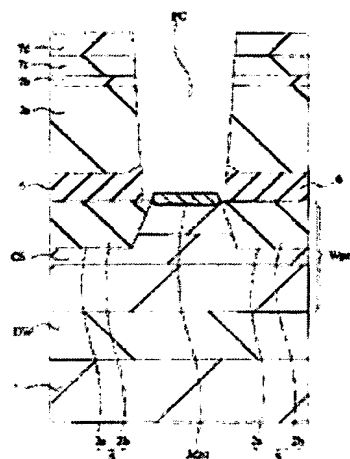
STC キャパシタ用の接続孔

【図 1】

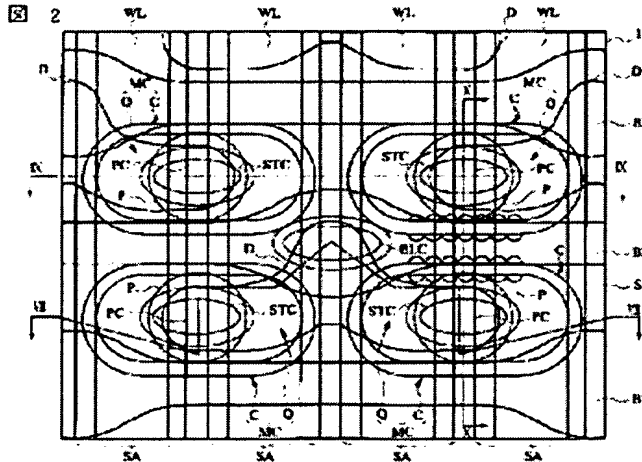


【図 26】

図 26

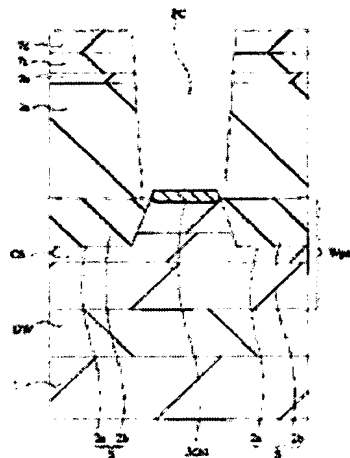


【図 2】

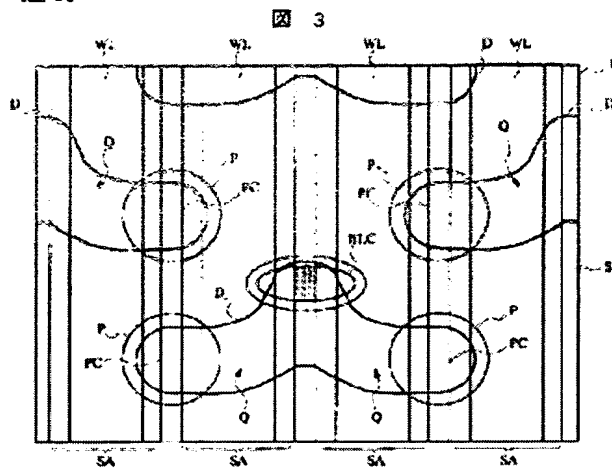


【図 27】

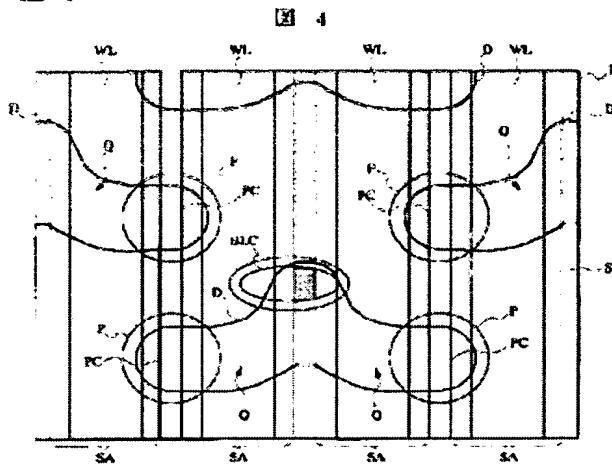
図 27



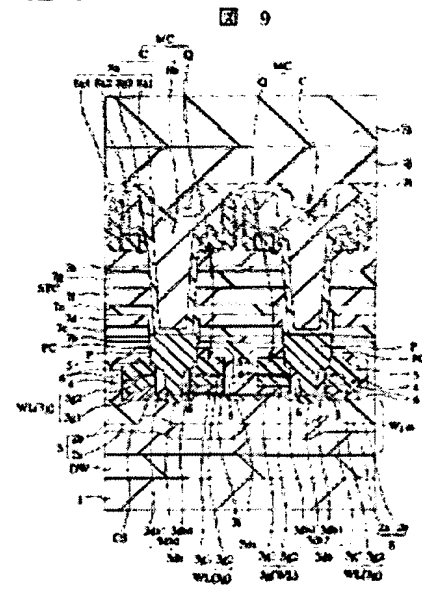
[圖 3]



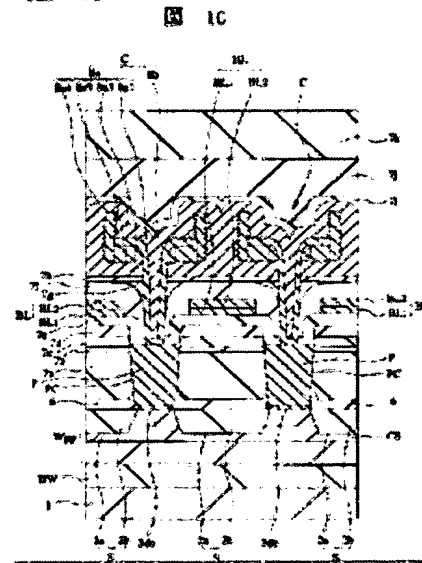
[圖 4]



[圖 9]

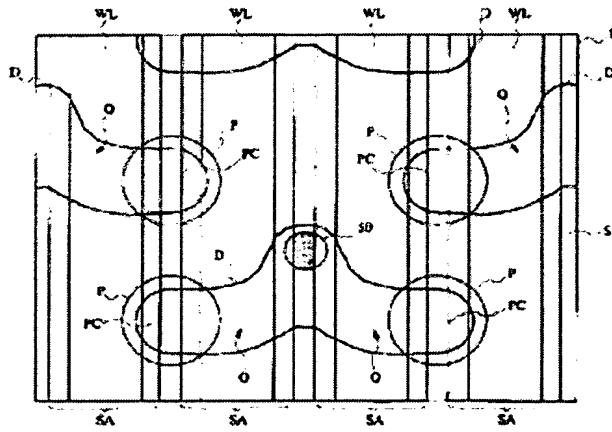


[圖 10]



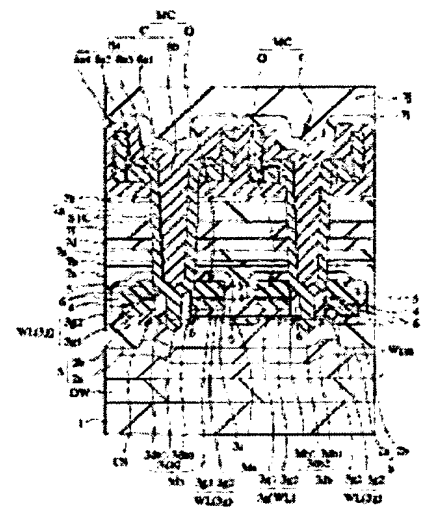
[25]

5



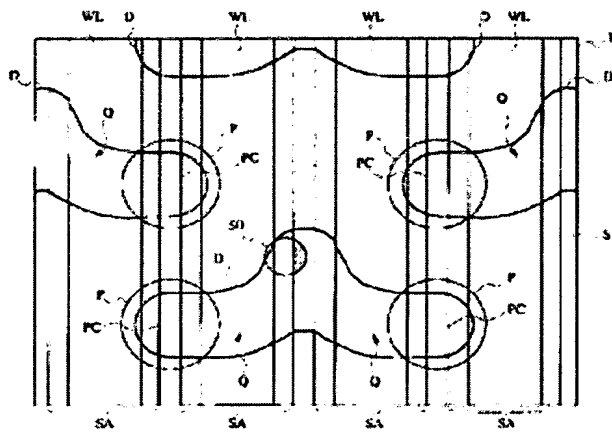
[246]

46



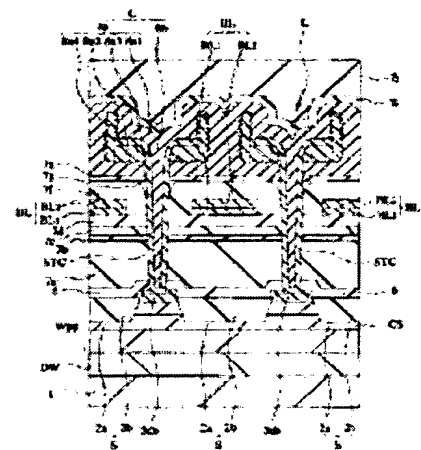
[26]

6

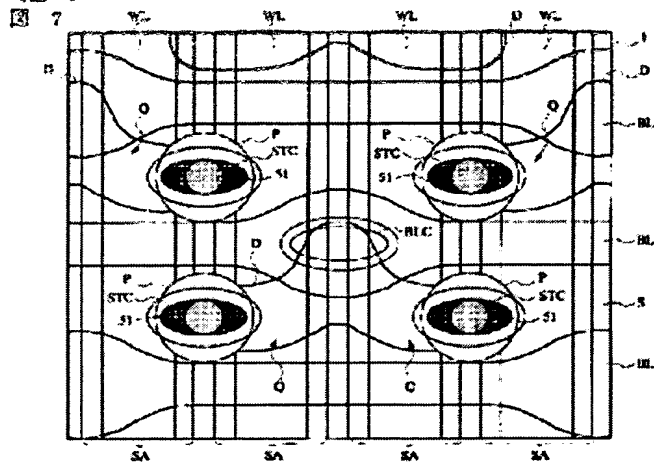


[247]

47



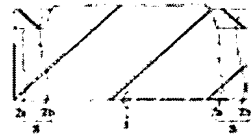
【図 7】



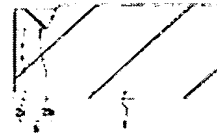
【図 11】

図 11

(a)



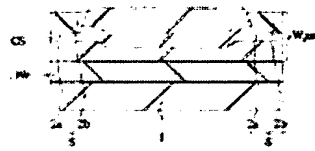
(b)



【図 12】

図 12

(a)



(b)

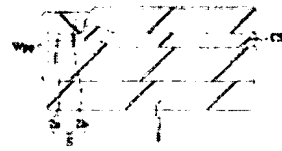
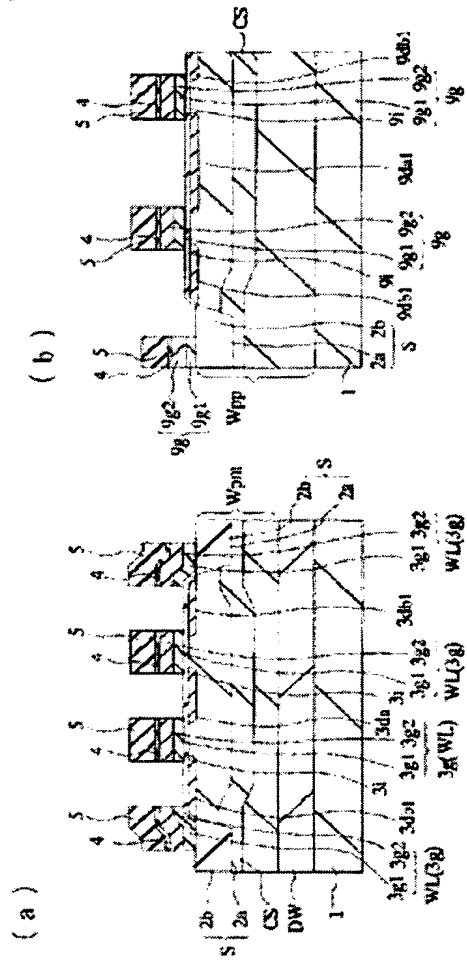
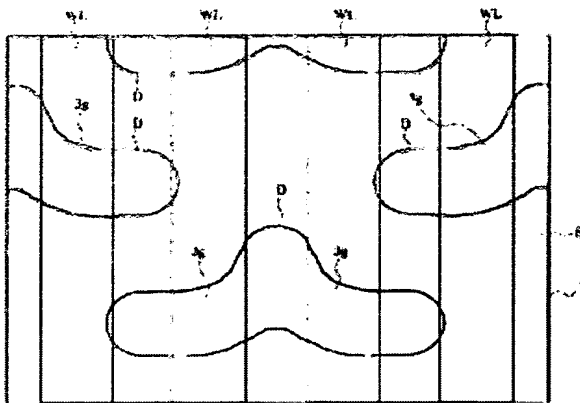


图 13



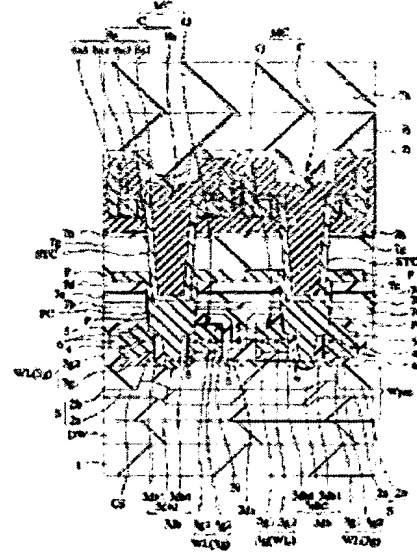
[14]

14



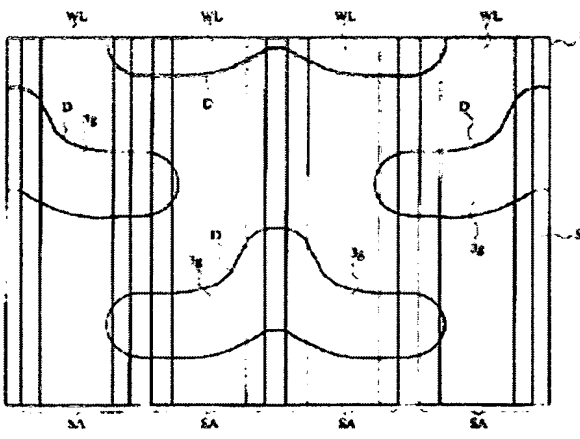
[58]

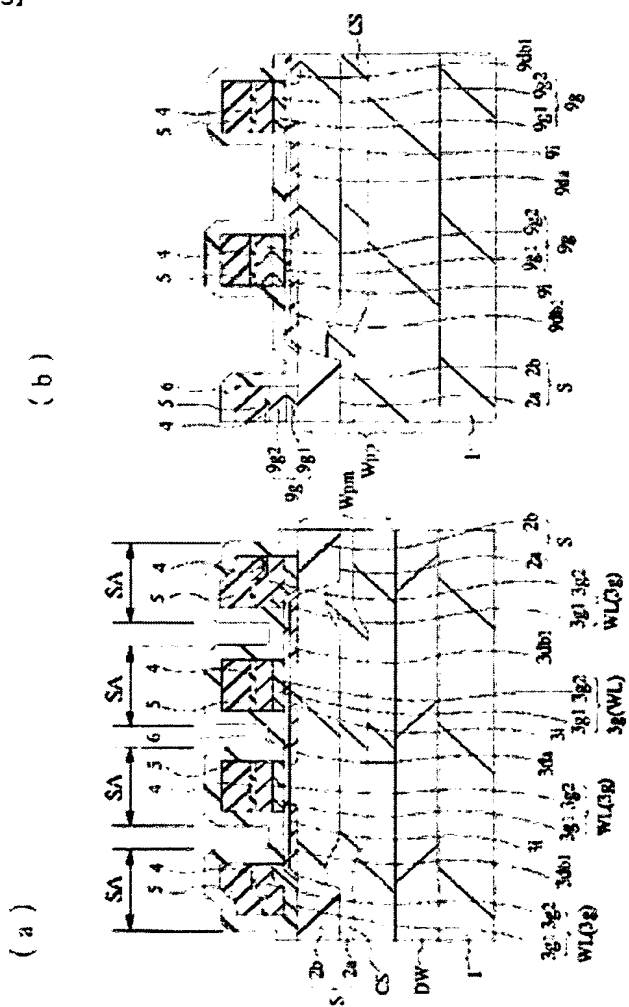
58



[16]

16





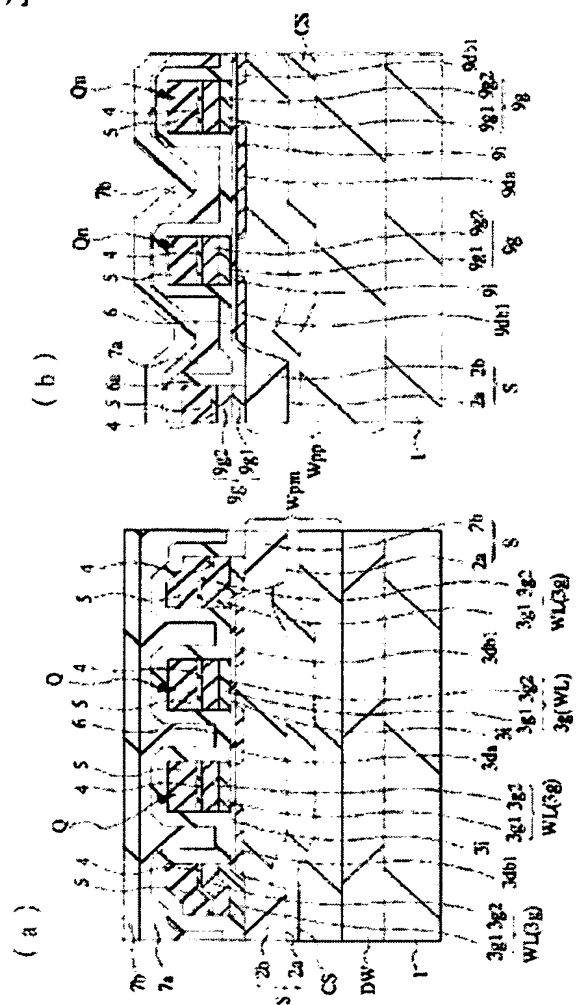


図 18

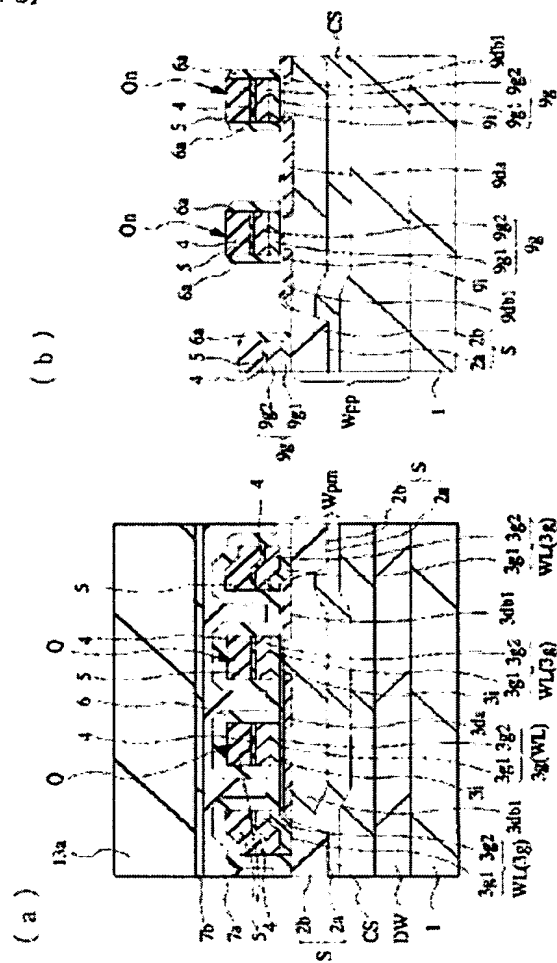


図 18

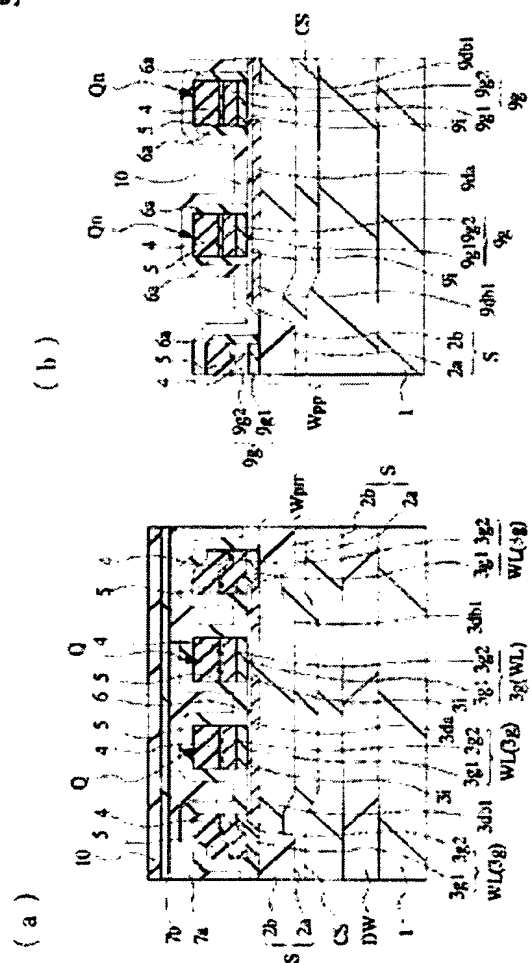


图 20

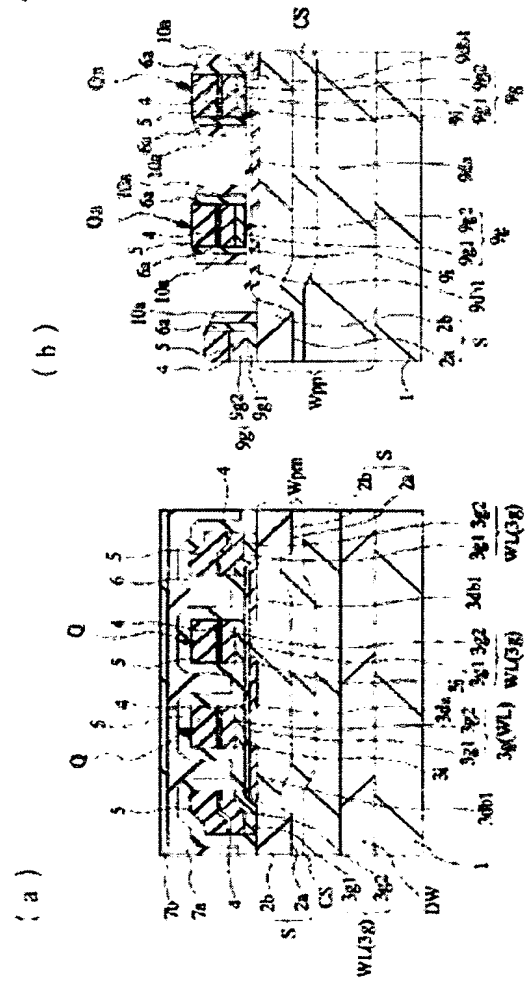


图 21

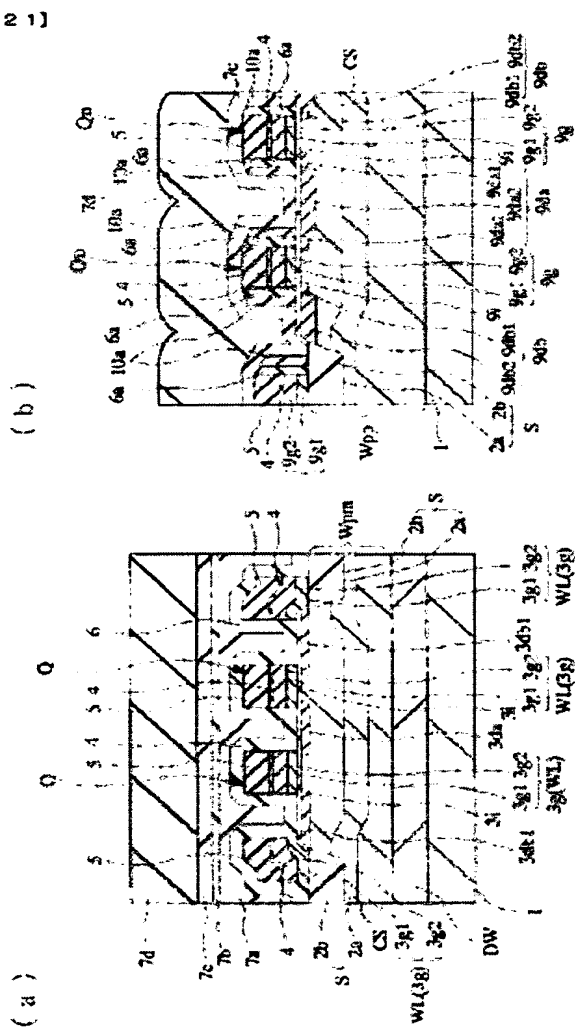
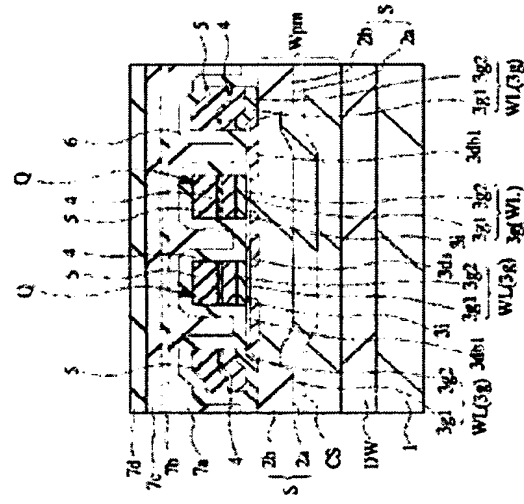


图 21

(a)



(b)

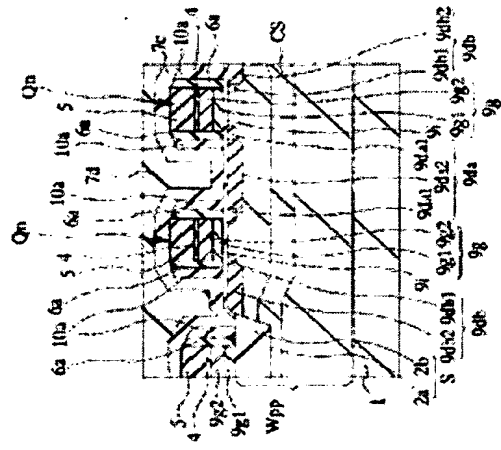
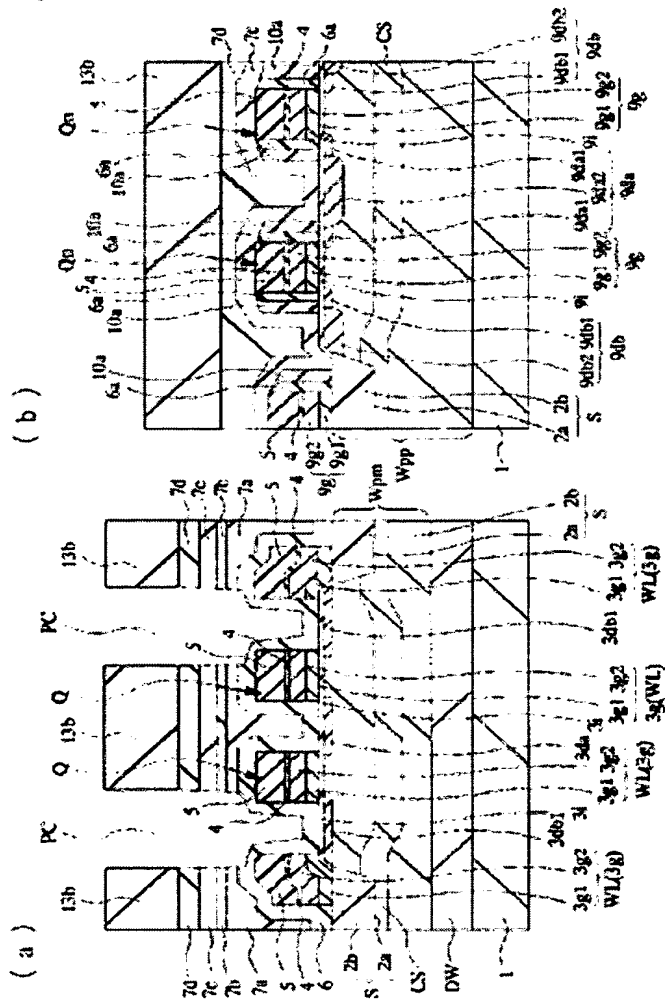
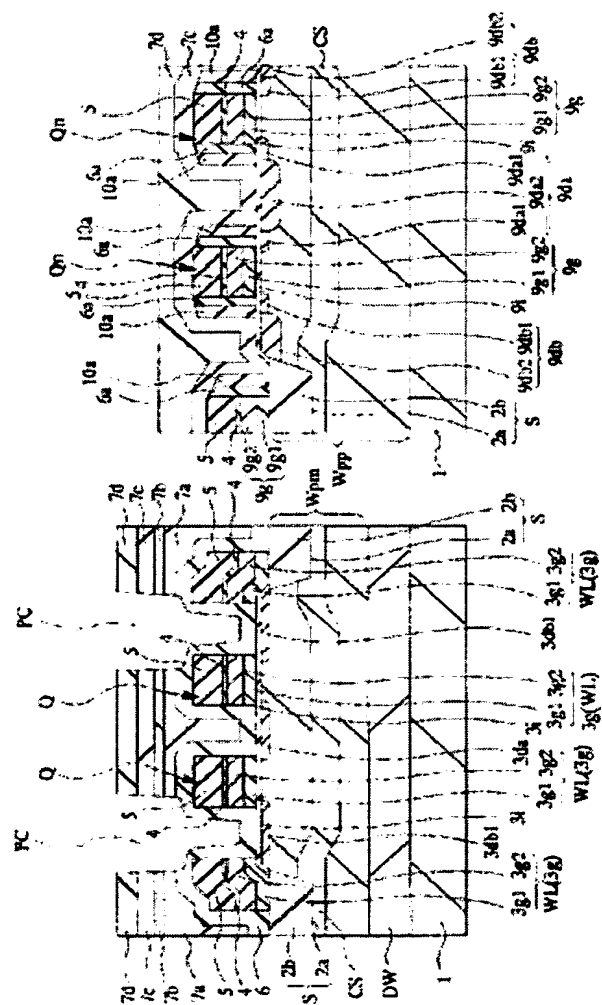
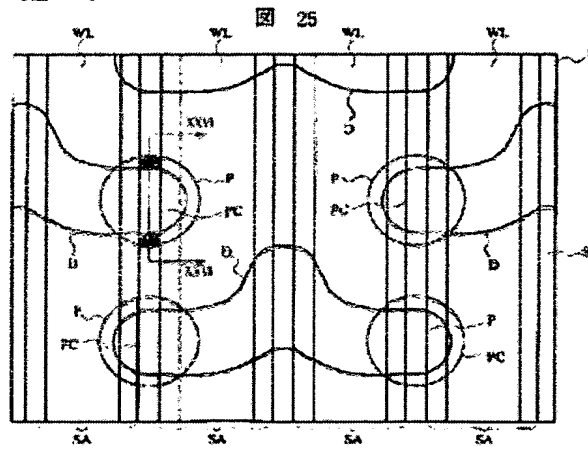


図 23

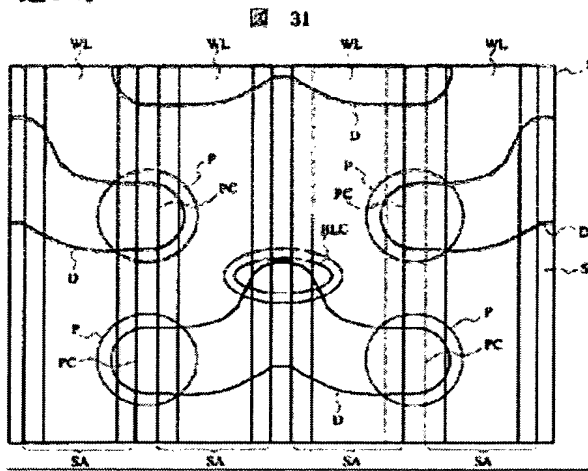


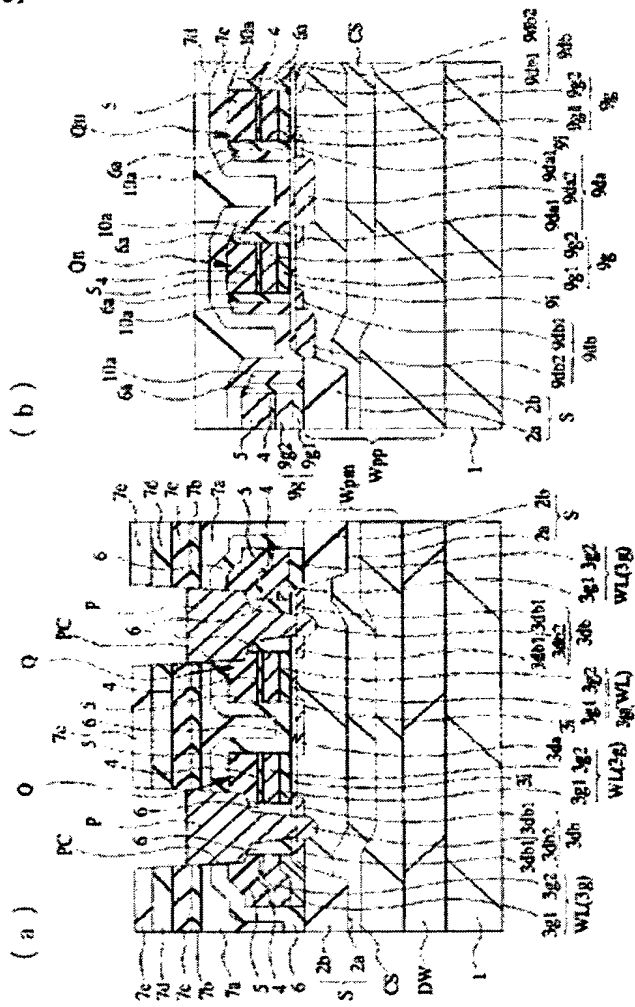


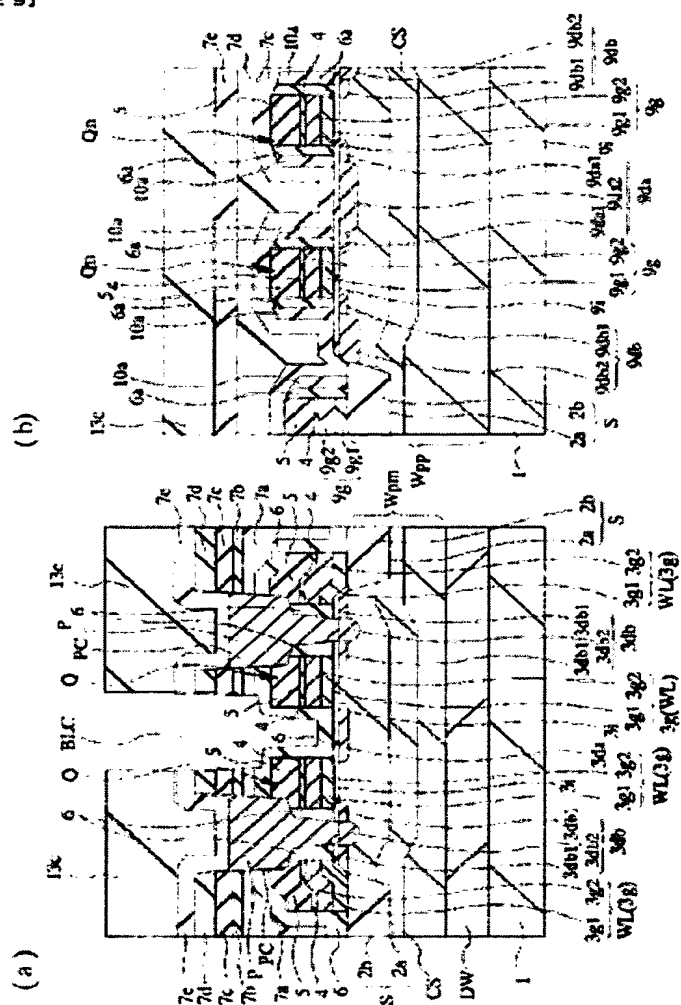
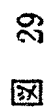
【図25】

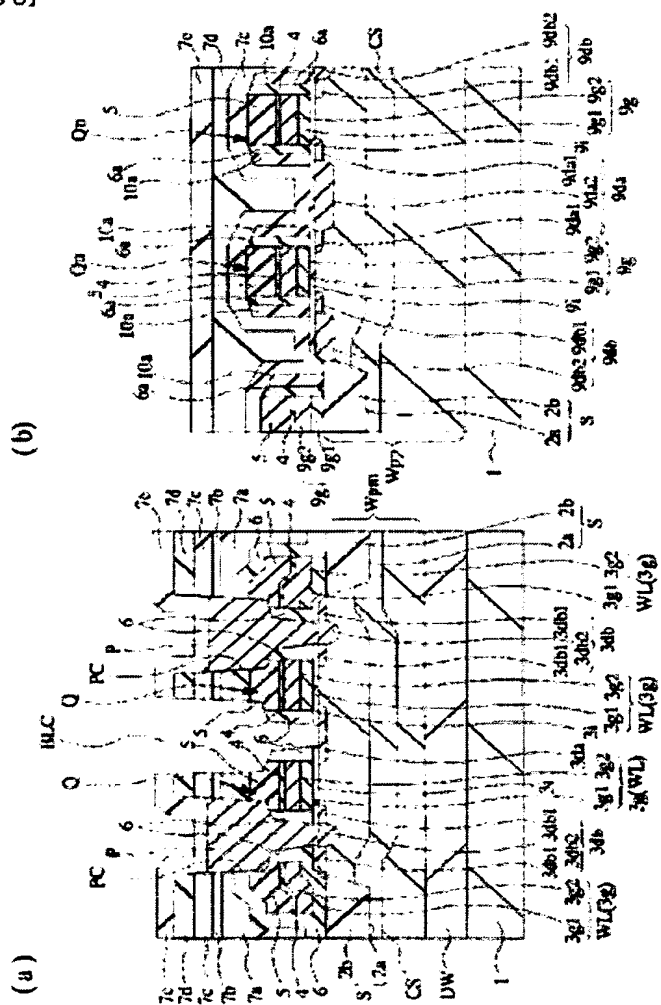


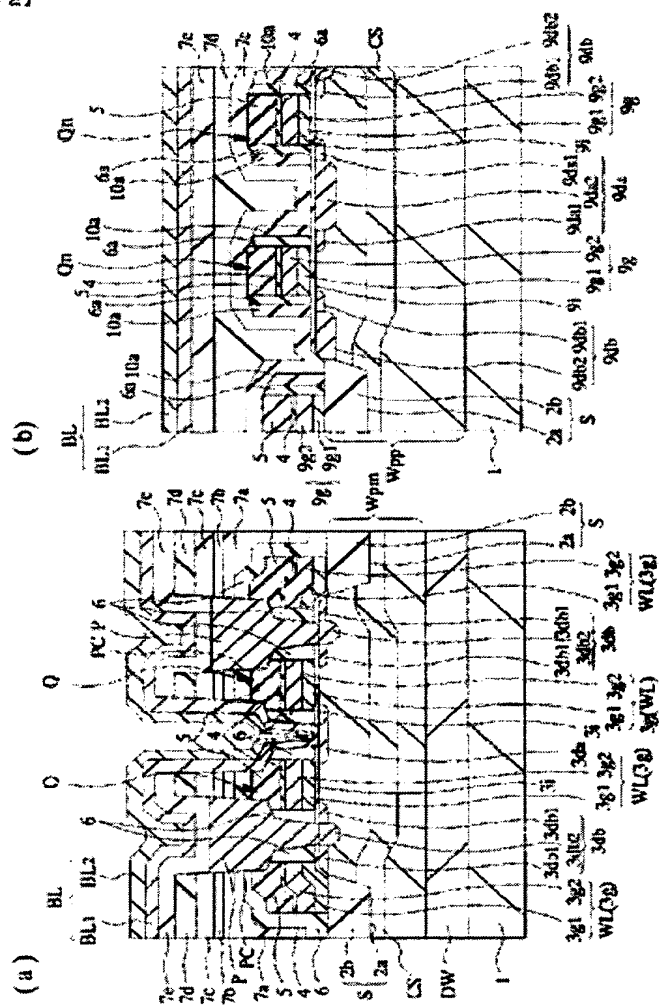
【図31】

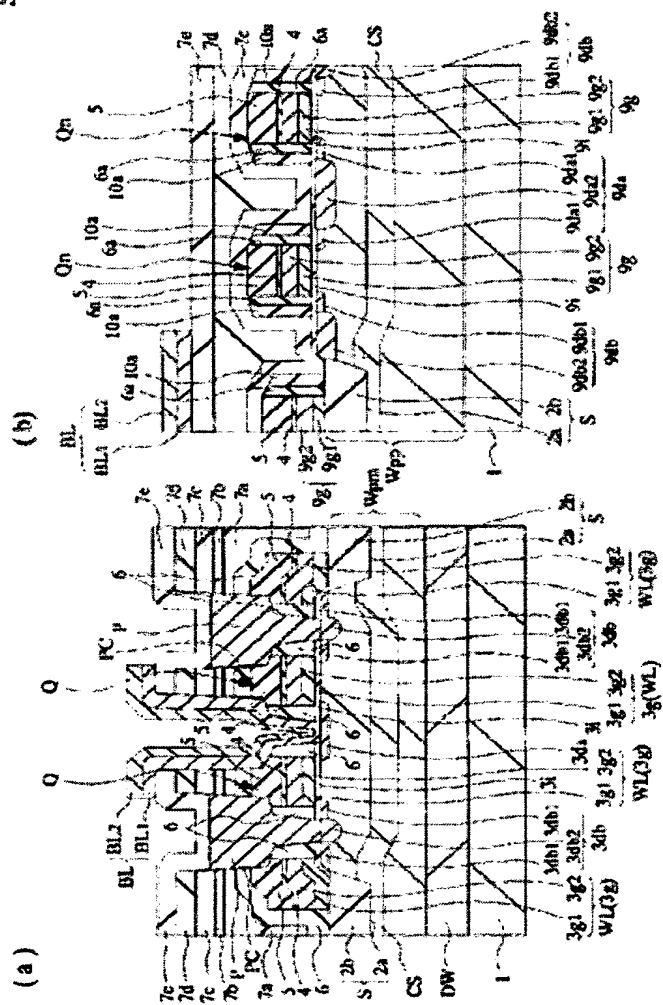




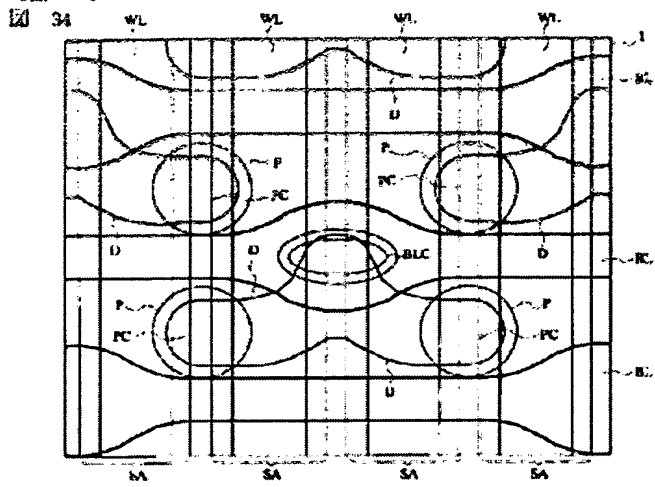




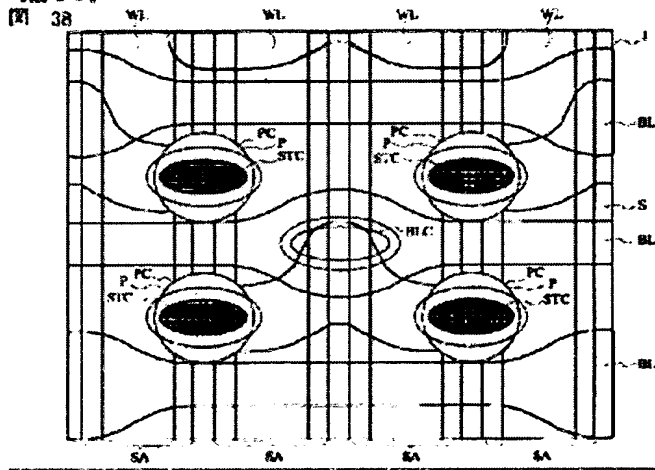


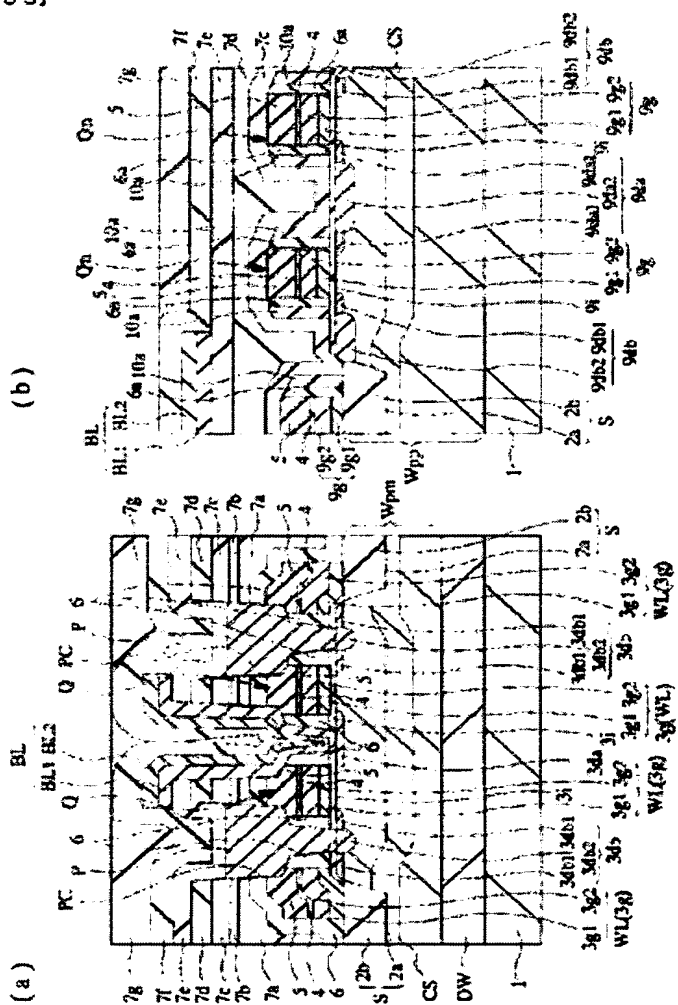


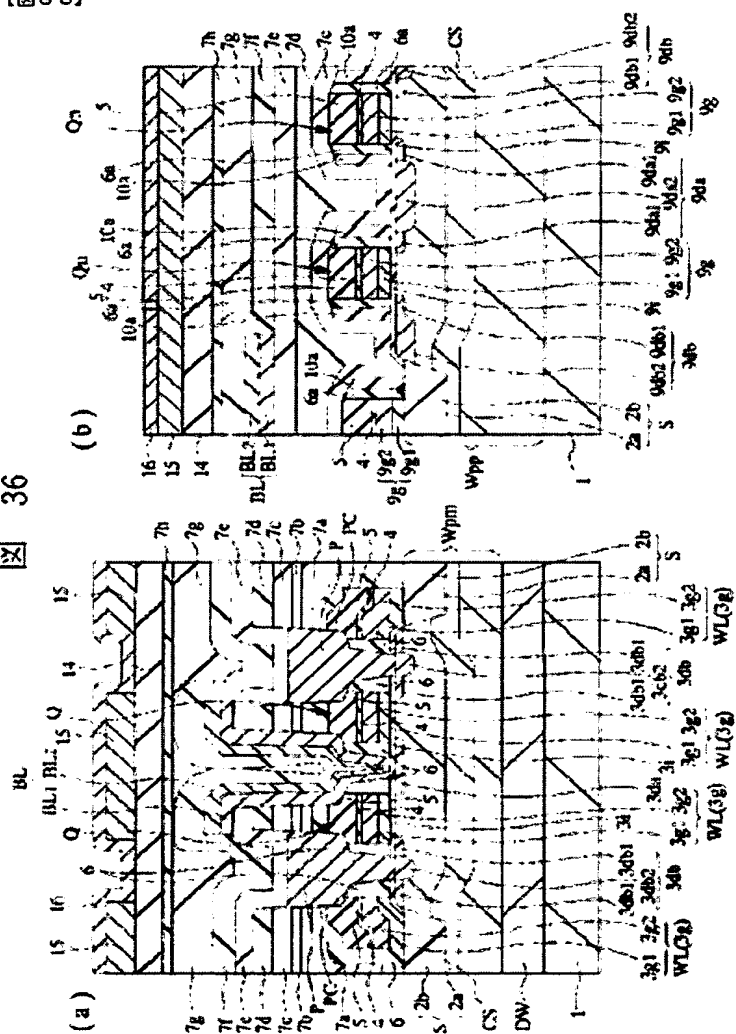
【図34】

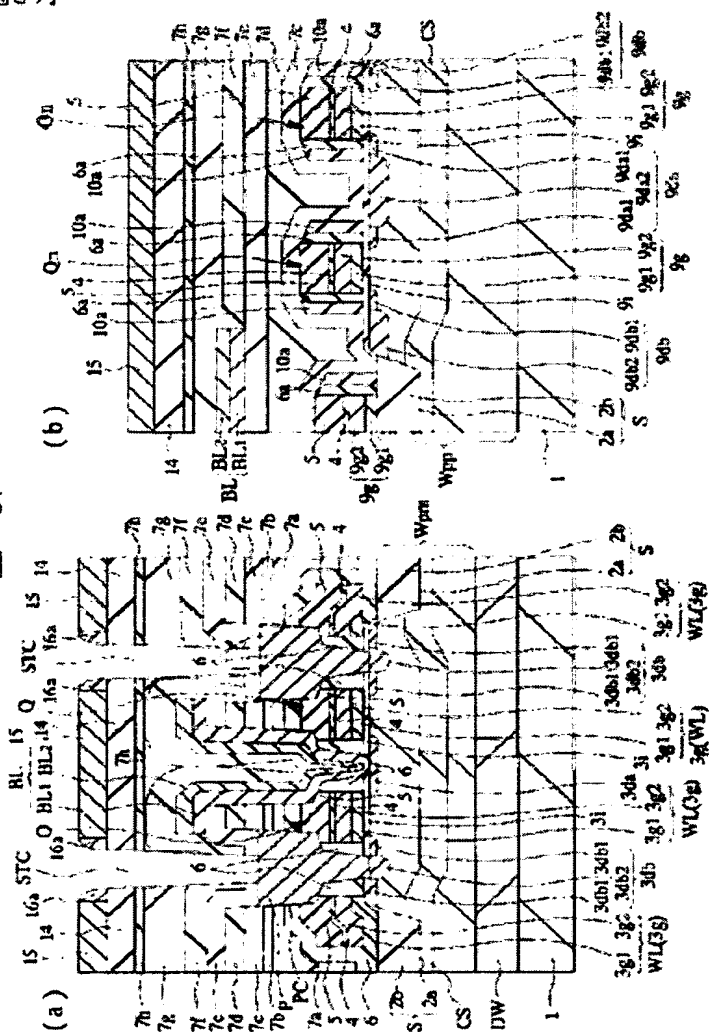


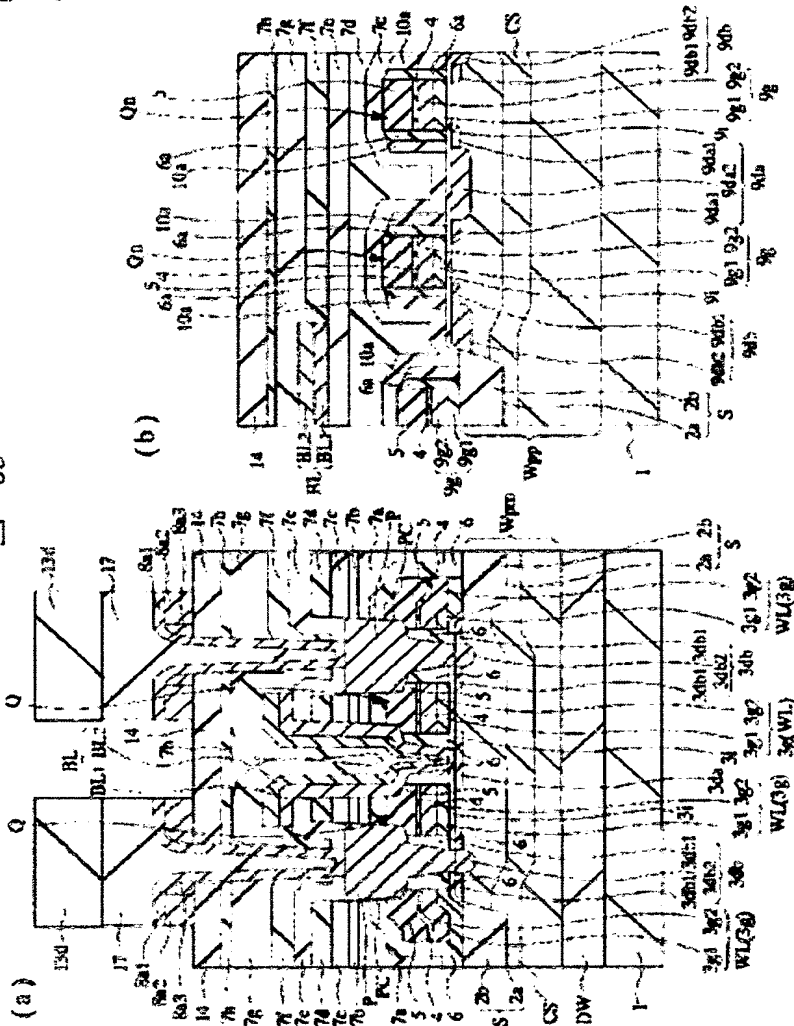
【図38】



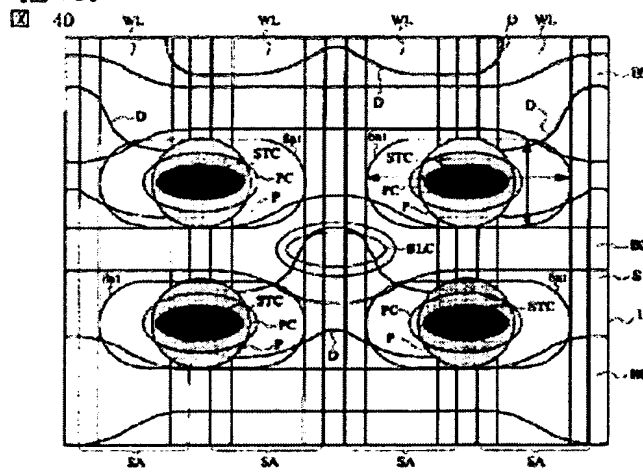








【図 40】



【図 44】

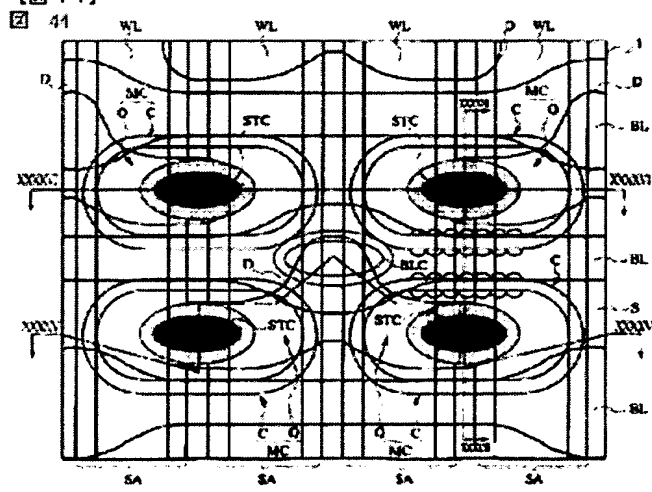
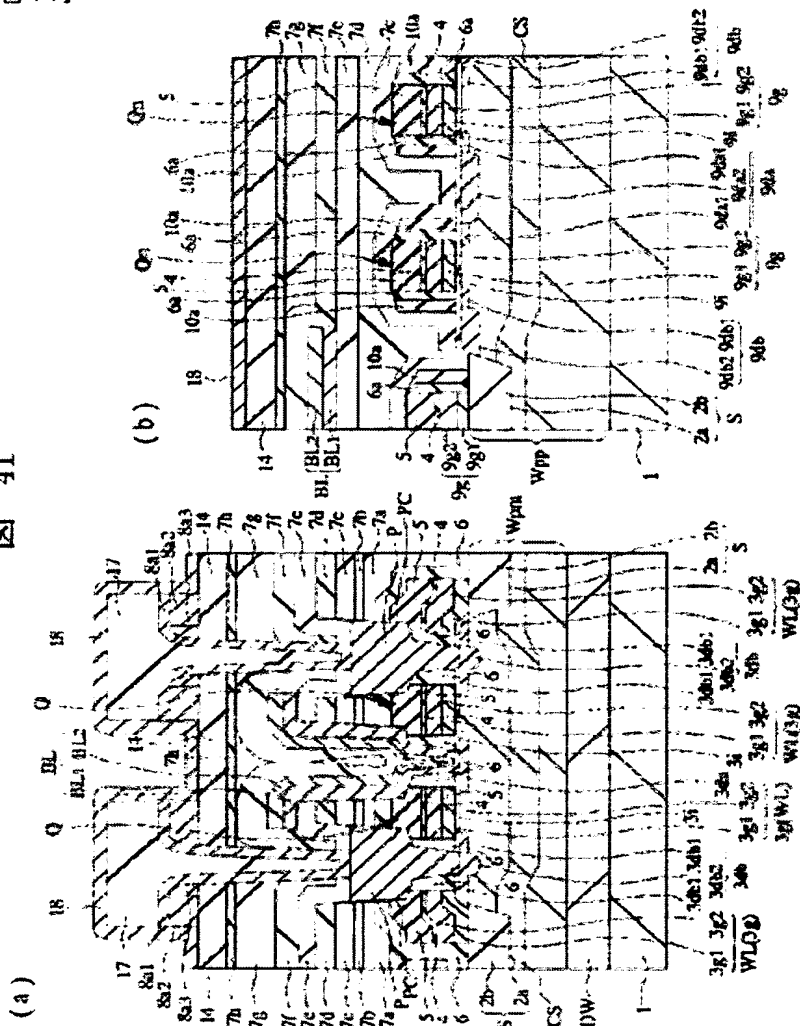
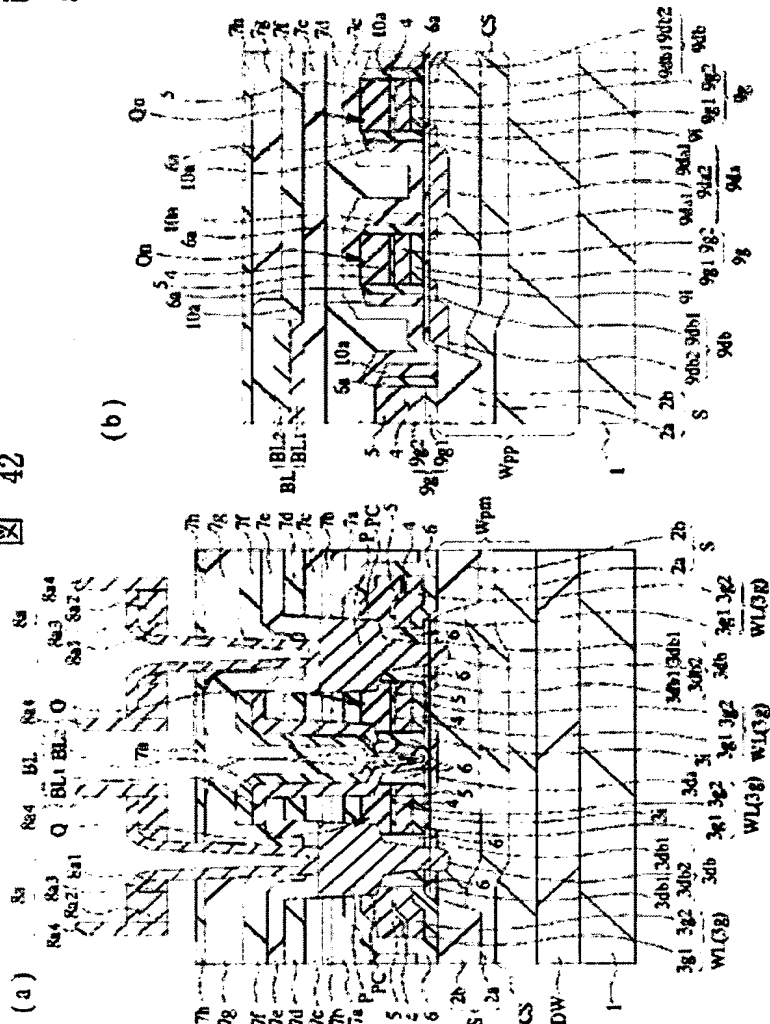


图 41



42

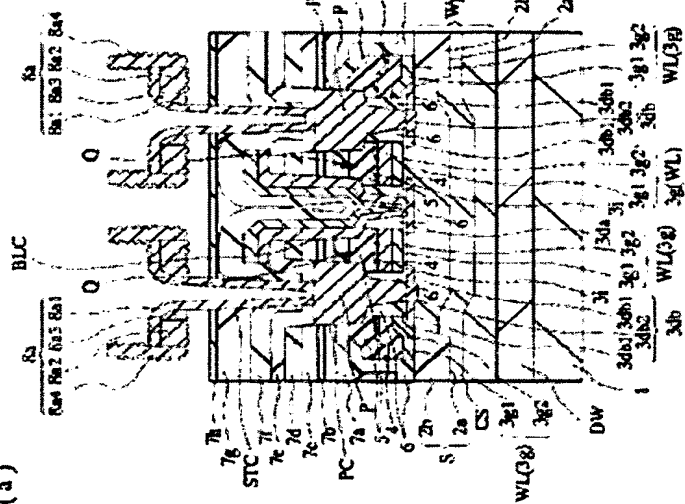
图



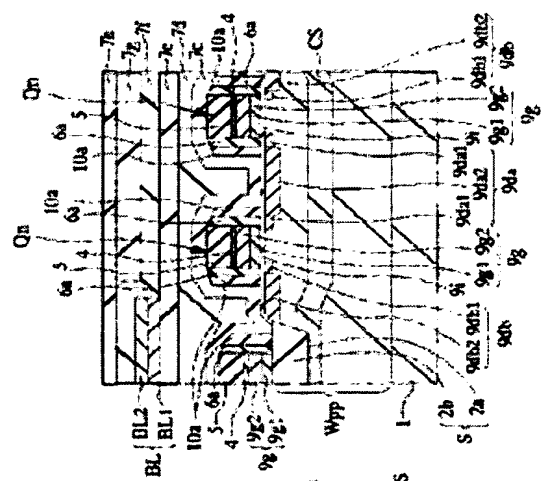


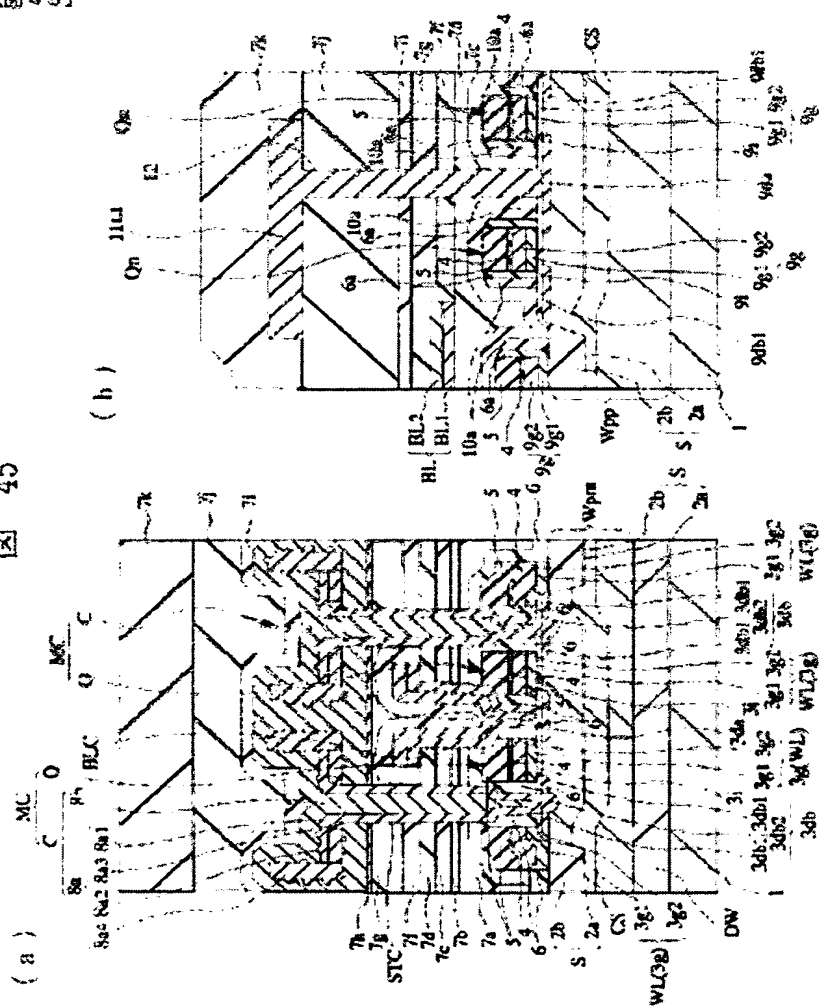
43

(2)

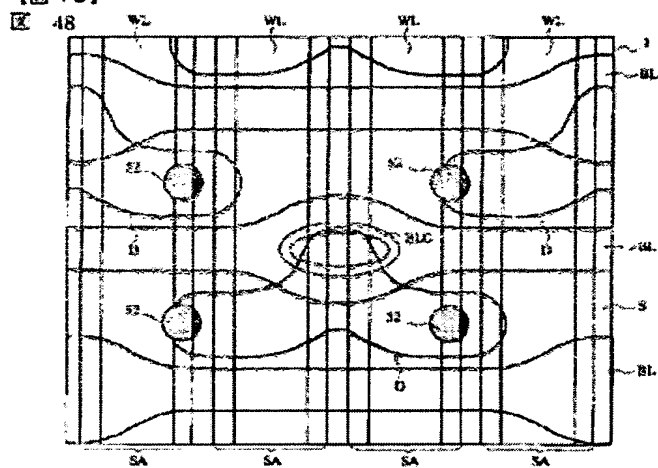


(b)

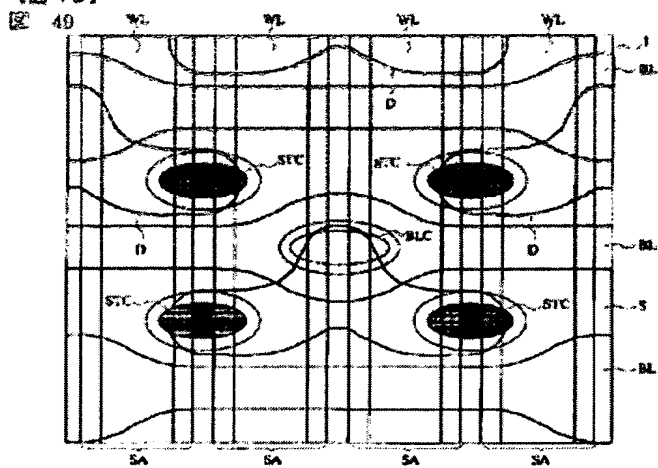




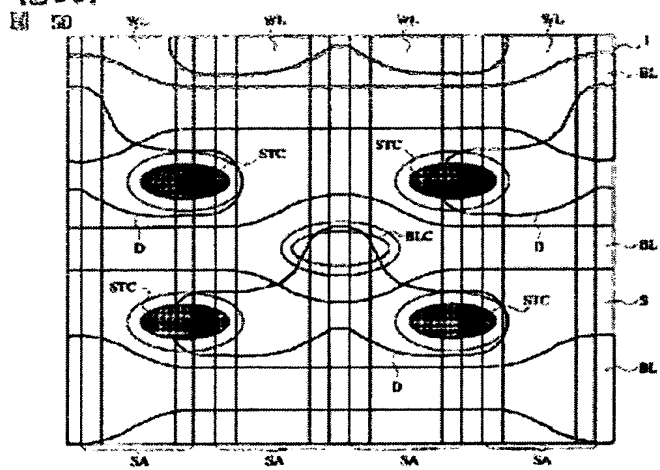
【図48】



【図49】



【図50】



【図55】

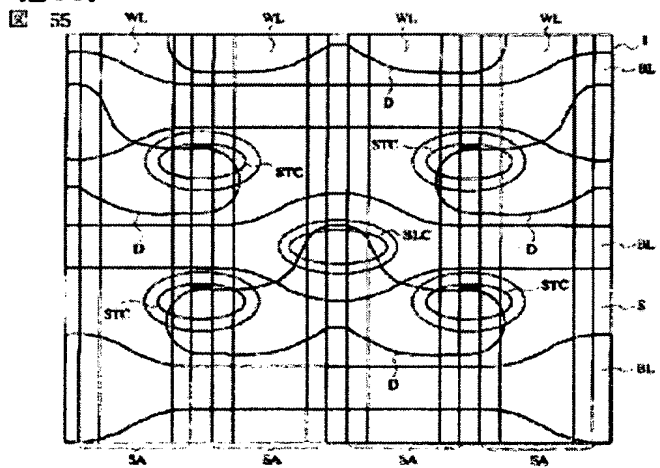
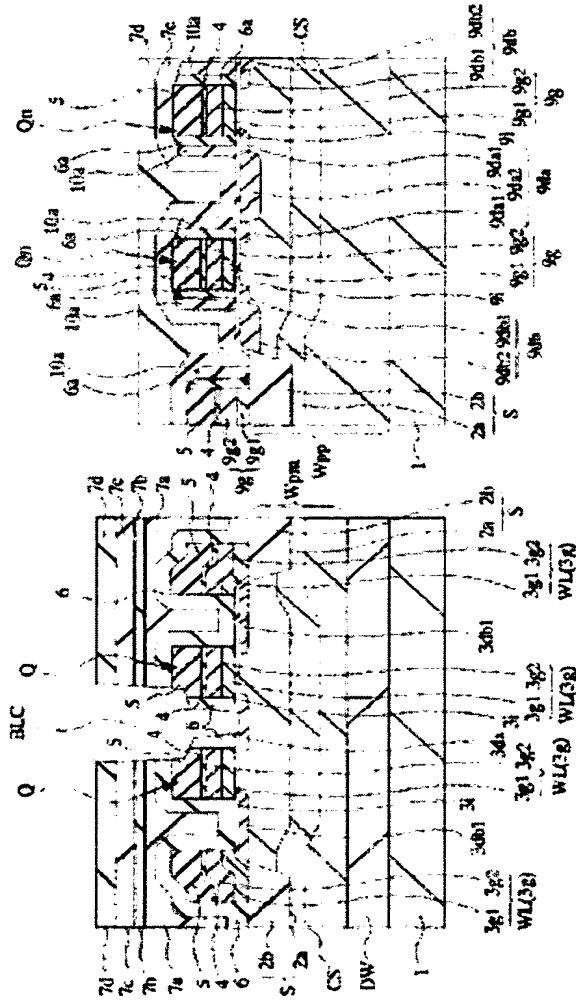
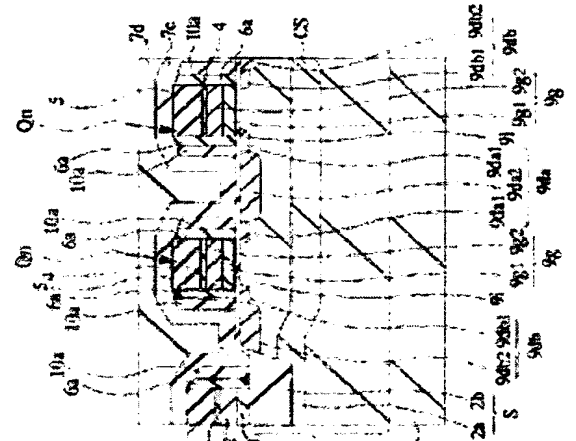


图 51

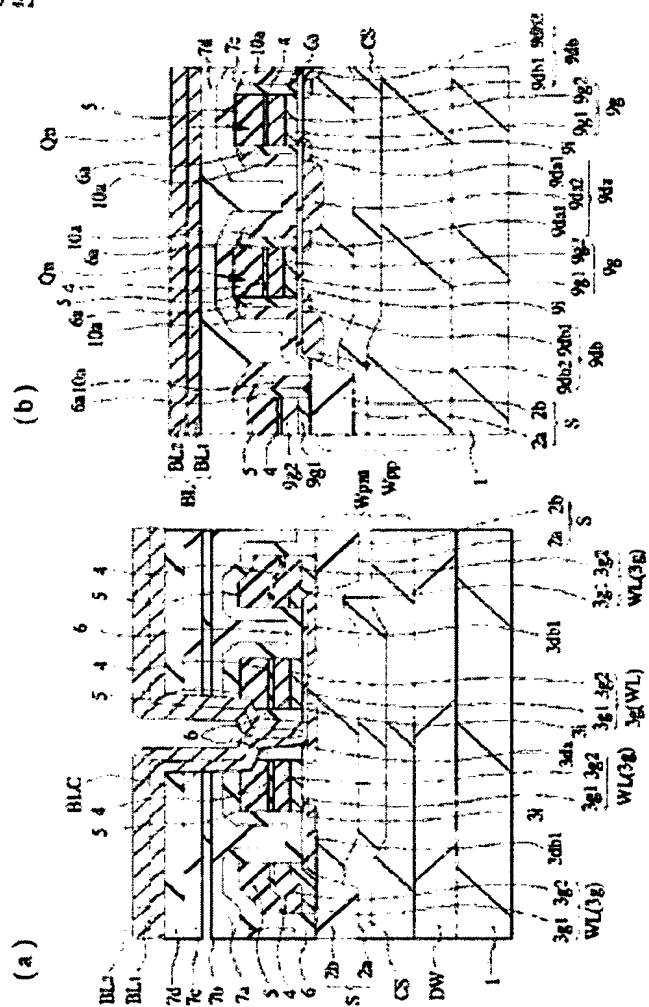
(a)



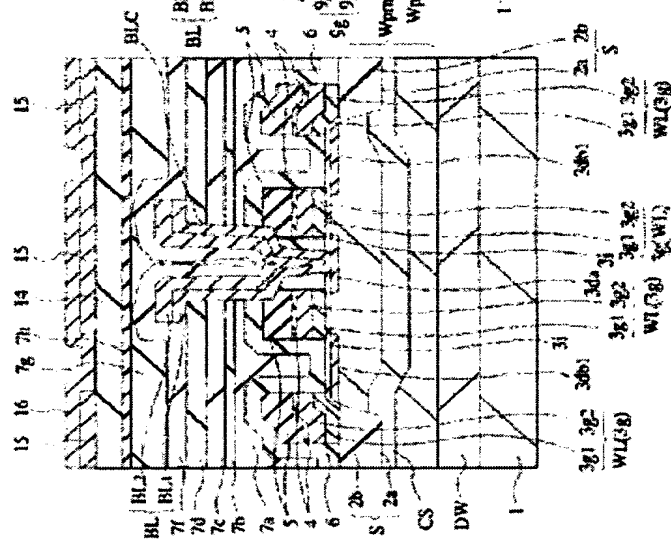
(b)



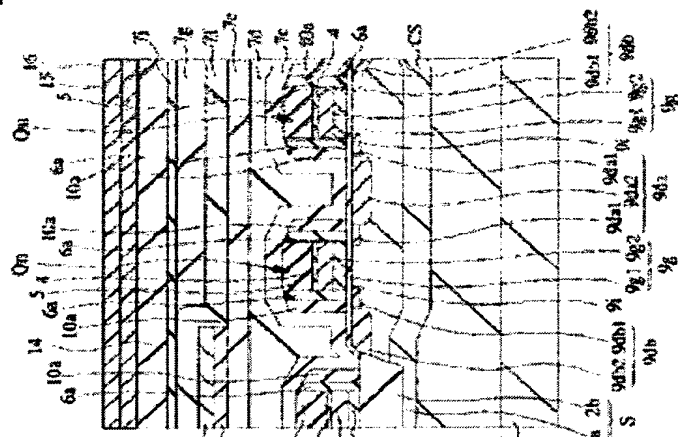
52

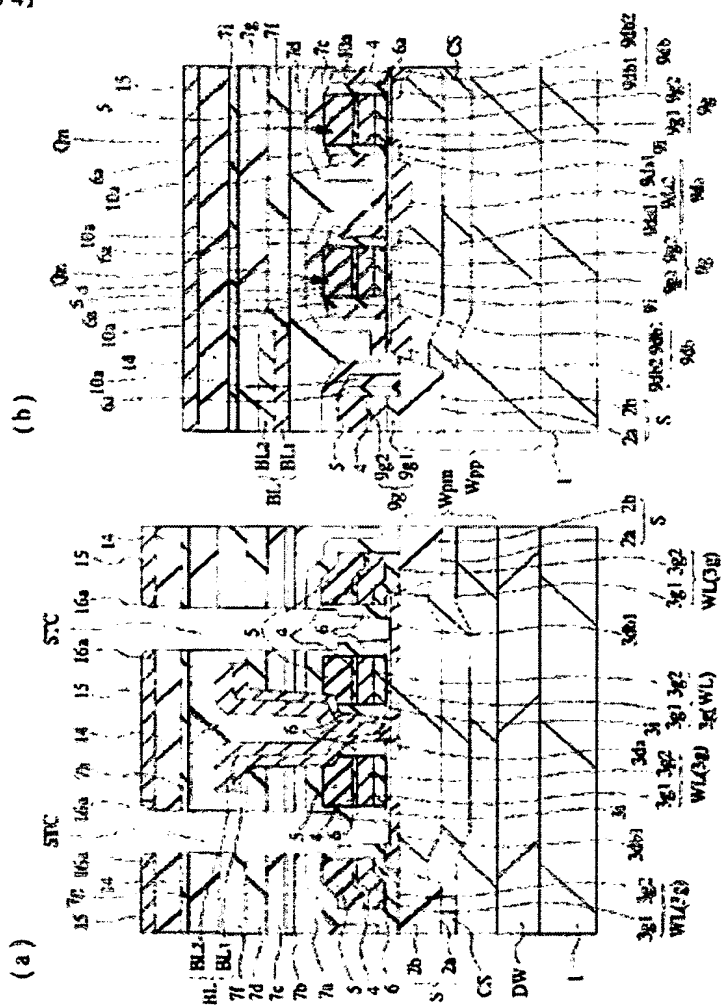


(a)

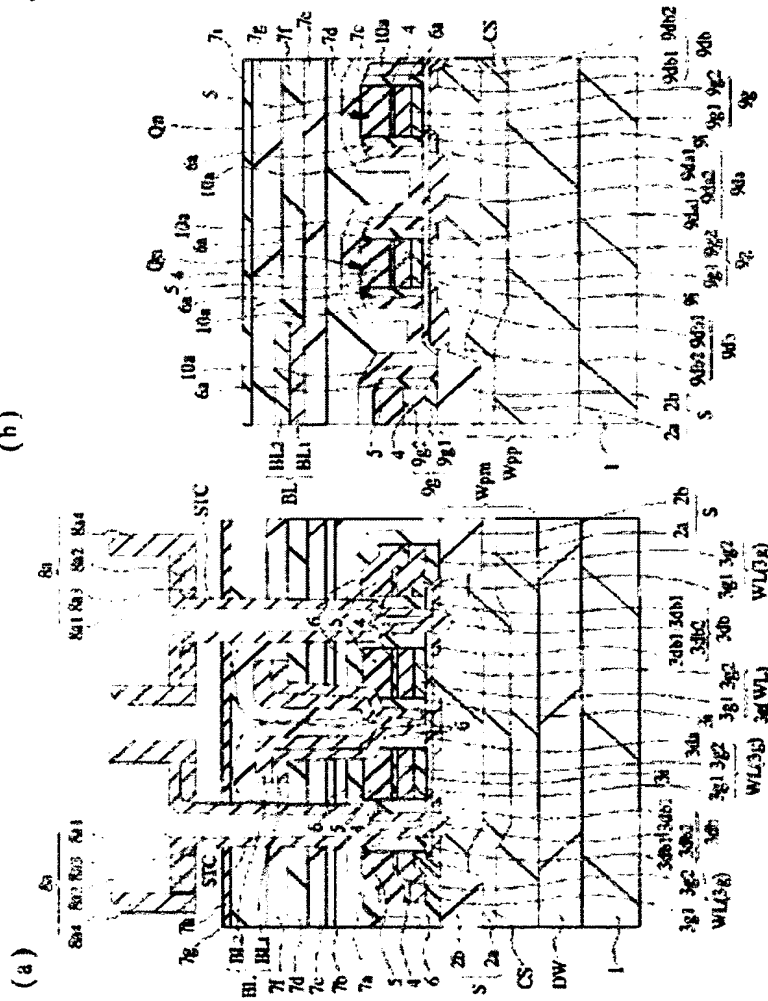


(b)

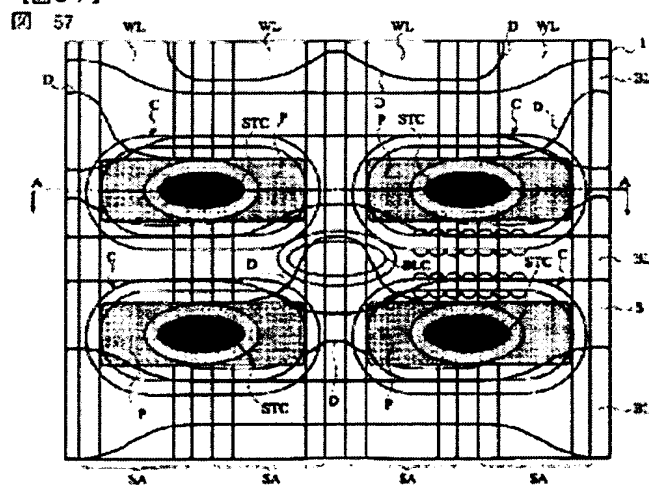




56 (h)



【図57】



フロントページの続き

(72)発明者 橋本 俊一
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 長谷川 昇雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.